

# *Noniusinterpolator* **GC-NIP**

## **Datenblatt**

Version: 1.3  
Datum: 04.04.2017



## Revisionsübersicht

Datum	Revision	Änderung(en)
21.05.2013	1.0	Initiale Version
17.06.2013	1.1	Betriebsmodi aktualisiert
03.03.2014	1.2	Kennwerte aktualisiert Schaltbilder erneuert
04.04.2017	1.3	AMAC spezifische Änderungen des Dokumentenlayouts

© Copyright 2017 AMAC ASIC- und Mikrosensoranwendung Chemnitz GmbH

Unangekündigte Änderungen vorbehalten.

Wir arbeiten ständig an der Weiterentwicklung unserer Produkte. Änderungen des Lieferumfangs in Form, Ausstattung und Technik behalten wir uns vor. Aus den Angaben, Abbildungen und Beschreibungen dieser Dokumentation können keine Ansprüche abgeleitet werden. Jegliche Vervielfältigung, Weiterverarbeitung und Übersetzung dieses Dokumentes sowie Auszügen daraus bedürfen der schriftlichen Genehmigung durch die AMAC. Alle Rechte nach dem Gesetz über das Urheberrecht bleiben AMAC ausdrücklich vorbehalten.

## Inhaltsverzeichnis

1 Übersicht.....	6
2 Eigenschaften.....	7
3 Bestellinformationen.....	7
4 Anwendungsübersicht.....	8
5 Gehäuse.....	9
6 Konfiguration.....	11
6.1 Reset.....	11
6.2 Konfiguration.....	12
7 Funktionsbeschreibung.....	14
7.1 Eingangsverstärker / Tiefpass.....	14
7.2 Signalkorrektur.....	15
7.3 Interpolation / Noniusberechnung.....	16
7.3.1 Interpolationsrate / Noniusperiode.....	17
7.3.2 <i>Flankenabstandskontrolle</i> / Intervallzeit $t_{pp}$ / Hysterese.....	18
7.3.3 Indexsignal Z.....	19
7.4 Maximale Eingangsfrequenz.....	19
7.5 Sensorüberwachung.....	20
7.6 Ausgänge ABZ.....	22
7.6.1 Standard ABZ (Mode X000 und X010).....	22
7.6.2 Controller / DSP (Mode X001 und X011).....	22
7.6.3 Abgleich Referenzposition (Sensorabgleich Z - Mode 0111).....	23
7.6.4 Einmessmodus (Mode 0101).....	24
7.6.5 Sensorabgleich (Mode 0101 und 0110).....	24
7.7 Messwerttrigger.....	26
7.8 Messwertregister POSIT, CNT, MVAL und STAT.....	27
7.9 Richtungsumschaltung (Pin DIR).....	28
7.10 Zähler-Preset / Nonius-Offset / SPI-Kommandos / Steuersignale.....	28
7.10.1 Nonius-Offset.....	28
7.10.2 Konfiguration Referenzpunktposition.....	29
7.11 Stromsparfunktionen.....	29
7.12 Signallaufzeit.....	30
8 Digitale Schnittstellen.....	31
8.1 Serielle Schnittstelle SPI.....	31
8.1.1 Signale.....	31
8.1.2 Protokoll.....	31
8.1.3 Registerzugriff.....	32
8.1.4 SPI - Synchron / Asynchron.....	32
8.2 BiSS-Schnittstelle.....	33
8.3 SSI-Schnittstelle.....	34
8.4 Simple SPI Master.....	35
8.5 EEPROM.....	36
9 Register.....	37
10 Kennwerte.....	50
11 Applikationshinweise.....	53
11.1 Beschaltung.....	53
11.2 Schnelle äquidistante Messungen über SPI.....	58
11.3 Programmablauf.....	59
11.4 EEPROM.....	60
11.5 Auswertung abstandskodierter Referenzmarken.....	61
11.6 Konfiguration von $t_{pp}$ und $f_{osz}$ .....	62
11.7 Konfiguration der Schnittstellen SPI/BiSS/SSI.....	63
11.8 BiSS-Konfigurationsdatei idbiss4743.xml.....	64
Notizen.....	65

## Abbildungsverzeichnis

Abbildung 1: Blockschaltbild.....	6
Abbildung 2: Gehäuse QFN64.....	10
Abbildung 3: Eingangssignale (single ended).....	14
Abbildung 4: Eingangssignale (differentiell).....	14
Abbildung 5: CMIR (Eingangssignale).....	15
Abbildung 6: Interpolation.....	16
Abbildung 7: Noniusberechnung.....	16
Abbildung 8: Flankenabstandskontrolle.....	18
Abbildung 9: Zeitdiskretisierung.....	18
Abbildung 10: Hysterese.....	18
Abbildung 11: Interpolation (Detail).....	19
Abbildung 12: ABZ-Signale.....	22
Abbildung 13: Abgleich Referenzsignal.....	23
Abbildung 14: Abgleich Referenzposition.....	29
Abbildung 15: Signallaufzeit.....	30
Abbildung 16: Konstante Verzögerungszeit.....	30
Abbildung 17: Konstante Verzögerungszeit.....	30
Abbildung 18: SPI-Übertragung (1).....	31
Abbildung 19: SPI-Übertragung (2).....	32
Abbildung 20: SPI Schreiben 8Bit.....	32
Abbildung 21: SPI Lesen 32 Bit.....	32
Abbildung 22: SPI Schreiben 32Bit.....	32
Abbildung 23: SPI Lesen 3 x 32 Bit.....	32
Abbildung 24: Initialisierung BiSS-Hardware.....	33
Abbildung 25: BiSS SCD (Single Cycle Data).....	33
Abbildung 26: Initialisierung SSI-Hardware.....	34
Abbildung 27: SSI.....	34
Abbildung 28: SSI (Ringbetrieb).....	34
Abbildung 29: Programmablauf Mikrocontroller.....	35
Abbildung 30: Programmablauf GC-NIP.....	35
Abbildung 31: Simple SPI Master.....	35
Abbildung 32: Timing SPI.....	52
Abbildung 33: Sensor mit differentiellen Ausgangssignalen.....	54
Abbildung 34: Sensor mit einer Nominalamplitude von 1Vpp oder 2Vpp.....	54
Abbildung 35: Sensor mit single-ended Ausgangssignalen (1).....	54
Abbildung 36: Sensor mit single-ended Ausgangssignalen (2).....	54
Abbildung 37: Sensor mit antiparallelen Photodioden.....	55
Abbildung 38: Photodiodenarray mit gemeinsamer Katode oder Anode.....	55
Abbildung 39: Sensor für Stromsignale 11 $\mu$ App.....	55
Abbildung 40: ABZ-Ausgang / Konfiguration über Pin.....	56
Abbildung 41: ABZ-Ausgang / Konfiguration über EEPROM.....	56
Abbildung 42: SPI-Schnittstelle über LVDS.....	56
Abbildung 43: SPI-Schnittstelle über USB.....	56
Abbildung 44: BiSS-Schnittstelle.....	57
Abbildung 45: SSI-Schnittstelle.....	57
Abbildung 46: SPI-Schnittstelle an Mikrocontroller.....	57
Abbildung 47: SSI-/BiSS-Schnittstelle und Simple-SPI-Master.....	57
Abbildung 48: Minimalapplikation.....	58
Abbildung 49: Programmschleife zum Lesen von MVAL und STAT.....	59
Abbildung 50: Erweiterte Programmschleifen für ZMODE 10.....	59
Abbildung 51: Erweiterte Programmschleifen für ZMODE 11.....	59
Abbildung 52: Programmablauf EEPROM lesen/schreiben.....	60
Abbildung 53: Programmablauf EEPROM lesen/schreiben.....	60
Abbildung 54: Auswertung abstandskodierter Referenzmarken.....	61

## Tabellenverzeichnis

Tabelle 1: Anwendungsübersicht.....	8
Tabelle 2: Pinliste GC-NIP.....	9
Tabelle 3: Auswahl des seriellen Interfaces GC-NIP.....	11
Tabelle 4: Umschaltung Konfigurationsquelle.....	11
Tabelle 5: Konfiguration Interpolationsrate und Noniusteilung.....	11
Tabelle 6: Konfiguration Nonius-Korrektur-Koeffizienten.....	11
Tabelle 7: Konfigurationsoptionen.....	12
Tabelle 8: Defaultkonfiguration.....	13
Tabelle 9: Defaultkonfiguration Schnittstellen.....	13
Tabelle 10: Konfiguration Nominalamplitude (Register CFG1).....	14
Tabelle 11: Konfiguration Tiefpass (Register CFG1).....	14
Tabelle 12: Beispiel Gleichakteingangsspannung (CMIR).....	15
Tabelle 13: Signalkorrektur.....	15
Tabelle 14: Grundlegende Betriebsarten des GC-NIP.....	17
Tabelle 15: Grundlegende Betriebsarten des GC-NIP.....	17
Tabelle 16: Maximale Eingangsfrequenz.....	19
Tabelle 17: Überblick Sensorüberwachung.....	20
Tabelle 18: Empfohlene Konfiguration Sensorüberwachung.....	20
Tabelle 19: Modi / Pins ABZ.....	22
Tabelle 20: DSP-Modus.....	22
Tabelle 21: Verschiebung der Referenzpunktposition.....	23
Tabelle 22: Beispiel: Abgleich Referenzposition.....	23
Tabelle 23: Sensorabgleich.....	24
Tabelle 24: Triggermodi / Referenzpunktmodi.....	26
Tabelle 25: Positionsregister.....	27
Tabelle 26: Positionsdaten SSI/BiSS/SPI.....	27
Tabelle 27: Konfiguration Positionsdaten Register POSIT(31:0).....	27
Tabelle 28: Konfiguration Positionsdaten Register MVAL(31:0).....	27
Tabelle 29: Kommandos.....	28
Tabelle 30: PRESET-Pin.....	28
Tabelle 31: Noniusoffset.....	28
Tabelle 32: PRESET-Pin.....	29
Tabelle 33: Stromsparfunktionen.....	29
Tabelle 34: Laufzeit analog (tdANA).....	30
Tabelle 35: Laufzeit digital (tdDIG).....	30
Tabelle 36: Register CFGBISS (BiSS-Mode).....	33
Tabelle 37: Voreinstellung BiSS-Register.....	33
Tabelle 38: Register CFGBISS (SSI-Mode).....	34
Tabelle 39: Adressierung EEPROM.....	36
Tabelle 40: Address mapping.....	36
Tabelle 41: Registerüberblick.....	37
Tabelle 42: Absolute Grenzwerte.....	50
Tabelle 43: Betriebsbedingungen.....	50
Tabelle 44: Kennwerte Takt / Reset.....	50
Tabelle 45: Kennwerte Interpolation.....	50
Tabelle 46: Kennwerte digital.....	51
Tabelle 47: Kennwerte analog.....	51
Tabelle 48: Kennwerte EEPROM.....	51
Tabelle 49: Kennwerte SSI.....	51
Tabelle 50: Kennwerte BiSS.....	52
Tabelle 51: Kennwerte SPI.....	52
Tabelle 52: Kennwerte Simple-SPI-Master.....	52
Tabelle 53: IC-Beschaltung Spannungen.....	53
Tabelle 54: IC-Beschaltung unbenutzter Ein- / Ausgänge.....	53
Tabelle 55: Äquidistante Messungen.....	58
Tabelle 56: Auswertung abstandskodierter Referenzmarken.....	61
Tabelle 57: Konfiguration tpp und Geschwindigkeitsüberwachung.....	62



# 1 Übersicht

Der zweikanalige Noniusinterpolationsschaltkreis GC-NIP dient zur Auflösungserhöhung für absolute Weg- und Winkelmesssysteme mit 2 sinusförmigen, um 90° phasenverschobenen Ausgangssignalen (Noniusignalen) sowie zur Berechnung der Absolutposition des Sensors aus den beiden Noniusignalen. Ein- oder zweikanalige inkrementale Weg- und Winkelmesssysteme können ebenfalls an den GC-NIP angeschlossen werden.

Die Signale der Sensoren werden einer AMAC-spezifischen internen Verstärkungs- und Offsetregelung unterzogen und damit automatisch in Amplitude und Nulllage korrigiert. Die Phasenabweichung der Eingangssignale kann zusätzlich statisch über ein digitales Potentiometer abgeglichen werden. Mittels anschließender bis zu 8192-facher Interpolation werden die Positionen der Sensoren innerhalb der jeweiligen Sinusperiode bestimmt. Daraus berechnet der GC-NIP sowohl die Absolutposition des Sensors nach dem Noniusverfahren, als auch die Weginformation von inkrementalen Sensoren. Diese können über eine schnelle SPI-Schnittstelle, über ein SSI-Interface, über ein BiSS-Interface oder mittels herkömmlicher ABZ-Rechtecksignale an nachfolgende Komponenten weitergegeben werden.

Der GC-NIP ist sowohl eingangs- als auch ausgangsseitig für 3.3V-Schnittstellen ausgelegt. Er enthält sechs Instrumentationsverstärker mit einstellbaren Verstärkungsfaktoren. Sensoren mit Spannungsschnittstelle sowie Messbrücken können direkt an den Schaltkreis angeschlossen werden. Sensoren mit Stromschnittstelle und Photodiodenarrays werden mittels einfacher Außenbeschaltung angepasst. Der IC kann sowohl mit single-ended, als auch mit differentiellen Eingangssignalen arbeiten. Ein einstellbarer analoger Tiefpass vermindert das Rauschen der Sensorsignale. Ergänzend dazu kann eine digitale Hysterese das Flankenrauschen der ABZ-Ausgangssignale bei niedrigen Eingangsfrequenzen und bei Stillstand unterdrücken. So arbeitet auch im Falle einer kurzzeitigen Störung der Eingangssignale ein nachfolgend angeschlossener Interpolationszähler fehlerfrei.

Im IC wird die Signalgüte der Sensoren mit neun Kriterien überwacht. Dazu die Quellen zur Erzeugung eines Überwachungssignals einzeln konfiguriert werden. Zur Berechnung der Noniusposition kann ein Satz von Sensor- bzw. maßstabsspezifischen Korrekturkoeffizienten im EEPROM des IC abgelegt werden, so dass Oberwellen der Sinussignale oder Ungenauigkeiten der Maßverkörperung nicht zu Fehlern in der Noniusberechnung führen. Die Bestimmung der Korrekturkoeffizienten erfolgt mittels eines einfachen softwarebasierten Einmessvorgangs.

Der GC-NIP ist besonders für den Einsatz in Motor-Feedback-Systemen geeignet, da sowohl Absolutposition als auch inkrementelle ABZ-Signale gebildet werden. Die vier implementierten Ausgangsschnittstellen (ABZ/SPI/SSI/BiSS) und weitere Merkmale, wie die Auswertung abstandskodierter Referenzmarken, die Möglichkeiten zum Abgleich des Referenzpunktes sowie zur Einstellung und Speicherung der Nullposition, erlauben die direkte Verwendung des IC an industriellen Steuerungen. Durch eine optional zuschaltbare Master-SPI-Schnittstelle können weiterhin zusätzliche Informationen (z.B. eines Multiturnzählers oder Fehlerinformationen) in die SSI/BiSS-Daten eingebracht werden.

Die Konfiguration des IC erfolgt anwendungsspezifisch aus einem integrierten EEPROM, über Konfigurationseingänge oder über das serielle Interface (SPI/BiSS).

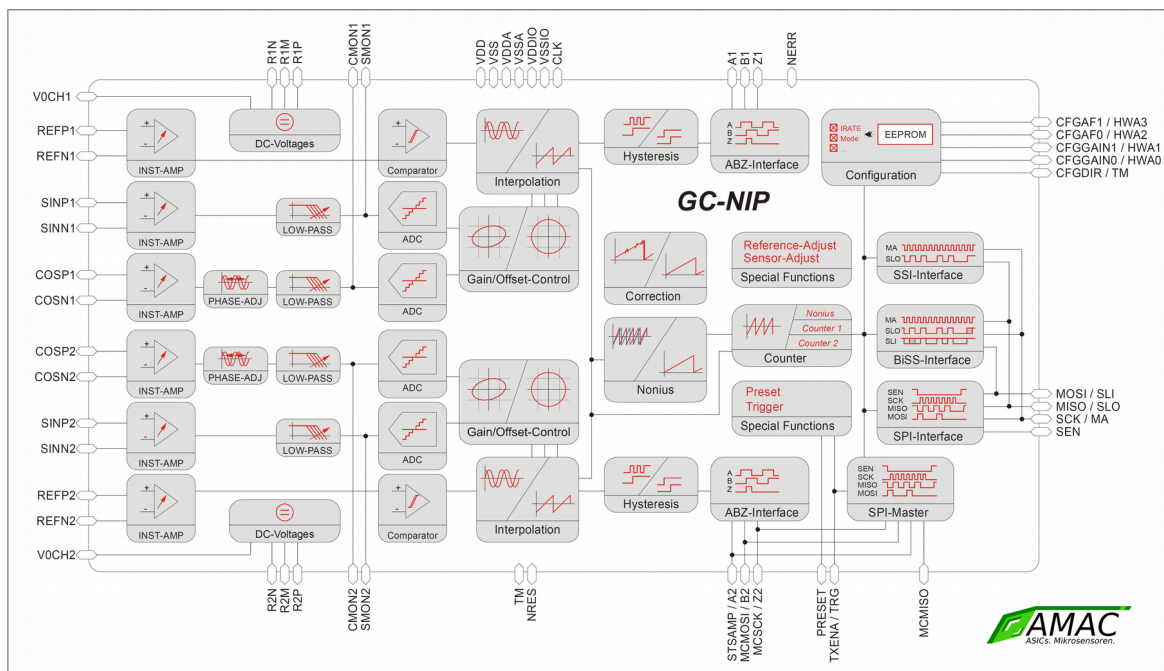


Abbildung 1: Blockschaltbild

## 2 Eigenschaften

Schnittstellen	
Analogeingang	Sinus- / Cosinus- / Referenzsignal; differentiell oder single-ended Nominalamplitude konfigurierbar auf 660 mV <sub>pp</sub> / 250 mV <sub>pp</sub> / 120 mV <sub>pp</sub> / 60 mV <sub>pp</sub> Maximale Eingangsfrequenz 130 kHz für die Noniusberechnung Maximale Eingangsfrequenz 90 kHz für die Interpolation
ABZ	90°-Rechteckfolgen (A/B/Z) für beide Kanäle Einstellbare Breite Indexsignal Z von ¼ oder 1 Periode A/B Fehlersignal Interruptsignal zum µC Hilfssignale für Sensorabgleich
SPI	30 Bit Zählwert für die Interpolationskanäle bis zu 22-Bit Wert für die Absolutposition 9 Bit Signalüberwachung pro Kanal Kompatibel zu Standard-SPI: 16 Bit, MSB first, bis zu 15 MHz
SSI und BiSS	Bis zu 30-Bit Zählwert 2 Bit Signalüberwachung Graycode / Binärcode Einstellbares Timing SSI Ringbetrieb
Weitere Eingänge	Triggersignal zur Messwertspeicherung Preset-Signal zum Setzen der Zähler auf konfigurierbare Werte Abgleich der Referenzpunktposition durch Preset-Impuls
Konfigurationsoptionen	Interner EEPROM Konfigurationseingänge Serielle Schnittstelle (SPI/BiSS)

Interpolation / Noniusberechnung / Signalverarbeitung	
Interpolationsrate	256 bis 8192 fach, einstellbarer Teiler 1/2/4/8 je Interpolationszähler/ABZ Kanal 1 und 2 Bedingung: durch 8 teilbar
Noniusteilung	Interpolationsrate / [8 / 16 / 32 / 64]
Noniuskorrektur	Korrekturwerte im EEPROM softwarebasierter Einmessvorgang zur Bestimmung der Korrekturkoeffizienten
Signalkorrektur	AMAC-spezifischer Digitalregler für Offset, Regelbereich ±10% der Nominalamplitude AMAC-spezifischer Digitalregler für Amplitude, Regelbereich Faktor 60% ... 120% Nominalamplitude Digitales Potentiometer mit 64 Stufen zur Phasenkorrektur; Einstellbereich ±5° oder ±10° Überwachung und Beurteilung der Qualität der Eingangssignale Verhalten des IC bei Sensorfehlern programmierbar
Störunterdrückung	Einstellbarer Tiefpass 10 kHz, 75 kHz, 150 kHz Digitale Hysterese zur Unterdrückung des Flankenrauschens am Ausgang (0...7) Einstellbarer Mindestflankenabstand (Bandbreitenbegrenzung) am Ausgang
Referenzsignalverarbeitung	Einstellbare Referenzpunktposition 32 Stufen 0 ... 360° optional: winkelgenaue Konfiguration der Referenzpunktposition (über externes Signal möglich) Bestimmung der optimalen Referenzposition über SPI/BiSS oder Hilfssignale Verarbeitung abstandskodierter Referenzmarken Messwerttriggerung an der Referenzpunktposition
Weiteres	Simple SPI-Master aktivierbar zur Ausgabe und Manipulation der BiSS/SSI-Daten 2-stufiger Messwerttrigger Verzögerung zwischen Abtastung und Messwert konstant für alle Auflösungen: Zählwert (beide Kanäle): 4,4µs, Nonius: 8µs

Wichtige Kennwerte	
Bauform	QFN64 (9 x 9 mm)
Betriebsspannung	3.3V
Temperaturbereich	-40 ... 125 °C
Schnittstellenfrequenz	SPI 15 MHz, BiSS 10 MHz, SSI 5 MHz

## 3 Bestellinformationen

Produkttyp	Beschreibung/Unterscheidung	Artikelnummer
GC-NIP	Noniusinterpolationsschaltkreis GC-NIP, QFN64	PR-44800-00
GC-LS	4 kanaliger analoger Level-Shifter 5V zu 3.3V	PR-44500-00
GP-NIP	Demoboard zum Nonius-IC GC-NIP	PR-44810-00
USB zu SPI Adapter	USB-Adapter zur SPI-Schnittstelle	PR-44025-10
USB zu BiSS Adapter	USB-Adapter zur BiSS-Schnittstelle	PR-44030-00
Programmierservice	Kundenspezifische Programmierung des EEPROM (ab tbd Stück möglich)	360-060

## 4 Anwendungsübersicht

Tabelle 1: Anwendungsübersicht

Signalform (Sensor)	Verwendung GC-NIP
Sinus, Spannung	Direktanschluss des GC-NIP an Sensor
Sinus, Strom	Widerstandsbeschaltung wird benötigt
Referenzspur	Direktanschluss des GC-NIP an Sensor
Rechteck	IC prinzipiell nicht geeignet
Signalspezifikation (Sensor)	Verwendung GC-NIP
1 V <sub>pp</sub> nominal	Anschluss direkt über GC-LS oder mittels Widerstandsbeschaltung
660 mV <sub>pp</sub> nominal	Direktanschluss des GC-NIP an Sensor
330 mV <sub>pp</sub> nominal	Anschluss direkt über GC-LS oder mittels Widerstandsbeschaltung
250 mV <sub>pp</sub> nominal	Direktanschluss des GC-NIP an Sensor
120 mV <sub>pp</sub> nominal	Direktanschluss des GC-NIP an Sensor
80 mV <sub>pp</sub> nominal	Anschluss direkt über GC-LS oder mittels Widerstandsbeschaltung
60 mV <sub>pp</sub> nominal	Direktanschluss des GC-NIP an Sensor
2 V <sub>pp</sub> nominal	Widerstandsbeschaltung wird benötigt (siehe 11)
Differenzsignal, DC-Bezugsspannung 0.82 V ... 1.8 V	Direktanschluss des GC-NIP an Sensor
Single-Ended, DC-Bezugsquelle im Sensor	Direktanschluss des GC-NIP an Sensor
Single-Ended, keine DC-Bezugsquelle im Sensor	Direktanschluss des GC-NIP an Sensor
Photodioden 0.5 µA <sub>pp</sub>	Widerstandsbeschaltung wird benötigt (siehe 11)
Photodioden 11 µA <sub>pp</sub> ... 16 µA <sub>pp</sub>	Widerstandsbeschaltung wird benötigt (siehe 11)
Resistive Messbrücke (Magnetsensoren)	Direktanschluss des GC-NIP an Sensor
Schwankende Amplitude des Sensors	GC-NIP enthält Amplitudenregler
Offset am Sensor nicht korrigierbar	GC-NIP enthält Offsetregler
Phase am Sensor nicht korrigierbar	GC-NIP enthält Potentiometer zum Phasenabgleich
Lage des Referenzsignals variabel	GC-NIP enthält Möglichkeit zum Abgleich der Referenzpunktposition
Abstandskodierte Referenzmarken	Spezielle Triggermöglichkeit des GC-NIP bei Anschluss über SPI
Nachfolgeelektronik	Verwendung GC-NIP
Ausgang an µController/DSP/FPGA	Anschluss über SPI-Interface
Ausgang an externen Interpolationszähler	Anschluss über ABZ-Interface
Ausgang an industrielle Steuerung	Anschluss über SSI, BiSS oder ABZ-Interface
System enthält mehrere Kanäle	Gleichzeitige Verwendung an nur einem SPI/BiSS-Bus möglich
Echtzeitanwendungen / Äquidistante Abtastung	Konstante Verzögerung von nur 4.4µs bzw. 8µs, Triggereingang
IC-Konfiguration	Interner EEPROM, Alle Register über SPI und BiSS konfigurierbar
Signalspezifikation LVCMOS	Ein-/Ausgänge direkt nutzbar
Signalspezifikation RS422	Leitungstreiber erforderlich
Maximale Signalfrequenz (f <sub>osz</sub> = 26 MHz)	
Drehgeber:	$f_{\max} = (\text{Umdrehung} / \text{Minute}) \cdot (\text{Signalperioden} / \text{Umdrehung}) / 60$
Lineargeber	$f_{\max} = (v_{\max} [\text{in m/s}] / (\text{Signalperiode} [\text{in mm}])) \cdot 1000$
f <sub>max</sub> < 130 kHz	Alle Interpolationsraten bis 8192 über SPI/SSI/BiSS
f <sub>max</sub> < 23 MHz / Interpolationsrate	Bei Verwendung ABZ-Ausgang
Maximale Frequenz des Zählers an ABZ bekannt	Anpassung des GC-NIP über CFGTPP möglich



## 5 Gehäuse

Tabelle 2: Pinliste GC-NIP

Pin	Name	Typ	Bedeutung
1	VDDA	Power	Versorgungsspannung analog +3.3V
2	VSSA	Power	Masse analog
3	R2P	Analog	ADC2-Referenzspannung positiv
4	R2M	Analog	ADC2-Referenzspannung Mitte
5	R2N	Analog	ADC2-Referenzspannung negativ
6	SMON2	Ausgang analog (Buffer)	Monitorausgang Instrumentationsverstärker Sinus Kanal 2
7	CMON2	Ausgang analog (Buffer)	Monitorausgang Instrumentationsverstärker Cosinus Kanal 2
8	N.C.	n.c.	Darf nicht beschaltet werden.
9	VDD	Power	Versorgungsspannung digital +3.3V
10	VSS	Power	Masse digital
11	CFGAF1/HWA3	Eingang digital / Pull-Down	Konfiguration Analogfilter / HWA<3>
12	CFGAF0/HWA2	Eingang digital / Pull-Down	Konfiguration Analogfilter / HWA<2>
13	SCK/MA	Eingang digital / Pull-Down	SPI/BiSS/SSI : Takt
14	SEN	Eingang digital / Pull-Up	SPI: Freigabe / während. Reset: Konf. SPI / BiSS oder SSI
15	MOSI/SLI	Eingang digital / Pull-Down	SPI/BiSS : Dateneingang GC-NIP
16	MISO/SLO	Ausgang digital / Open-Drain	SPI/BiSS/SSI : Datenausgang GC-NIP
17	N.C.	n.c.	Darf nicht beschaltet werden.
18	VDDIO	Power	Versorgungsspannung digital (IO) +3.3V
19	VSSIO	Power	Masse digital
20	MC SCK / Z2	Ausgang Digital / Tristate	MC-Schnittstelle - Takt zum MC / Quadratursignal / Hilfssignal zum Sensorabgleich
21	MCMOSI / B2	Ausgang Digital / Tristate	MC-Schnittstelle - Daten zum MC / Quadratursignal / Hilfssignal zum Sensorabgleich
22	STSAMP / A2	Ausgang Digital / Tristate	MC-Schnittstelle - Sync-Ausgang / Quadratursignal / Hilfssignal zum Sensorabgleich
23	MCMISO	Eingang Digital	MC-Schnittstelle - Daten vom MC
24	TXENA / TRG	Eingang Digital	MC-Schnittstelle - Freigabe vom MC / Trigger
25	CLK	Takteingang	Takt
26	PRESET	Eingang digital / Pull-Up	Preset-Impuls
27	CFGDIR / TM2	Eingang digital / Pull-Down	Konfiguration Zählrichtung Nonius / Testmodusauswahl falls TM = H
28	Z1	Ausgang Digital / Tristate	Quadratursignal / Hilfssignal zum Sensorabgleich
29	B1	Ausgang Digital / Tristate	Quadratursignal / Hilfssignal zum Sensorabgleich
30	A1	Ausgang Digital / Tristate	Quadratursignal / Hilfssignal zum Sensorabgleich
31	VSSIO	Power	Masse digital
32	VDDIO	Power	Versorgungsspannung digital (IO) +3.3V
33	NERR	Ausgang Digital / Open-Drain	Fehlersignal / Hilfssignal zum Sensorabgleich
34	CFGGAIN0/HWA0	Eingang digital / Pull-Down	Konfiguration Nominalamplitude / HWA<0>
35	CFGGAIN1/HWA1	Eingang digital / Pull-Down	Konfiguration Nominalamplitude / HWA<1>
36	TM	Eingang digital	Testmodusauswahl
37	NRES	Ein-/Ausgang analog; Pull-Up	Reset
38	VS	Power	Test EEPROM
39	VCG	Power	Test EEPROM
40	VSS	Power	Masse digital
41	VDD	Power	Versorgungsspannung digital +3.3V
42	CMON1	Ausgang analog (Buffer)	Monitorausgang Instrumentationsverstärker Cosinus Kanal 1
43	SMON1	Ausgang analog (Buffer)	Monitorausgang Instrumentationsverstärker Sinus Kanal 1

Pin	Name	Typ	Bedeutung
44	R1N	Analog	ADC1-Referenzspannung negativ
45	R1M	Analog	ADC1-Referenzspannung Mitte
46	R1P	Analog	ADC1-Referenzspannung positiv
47	VSSA	Power	Masse analog
48	VDDA	Power	Versorgungsspannung analog +3.3V
49	N.C.	n.c.	Darf nicht beschaltet werden.
50	REFP2	Eingang analog	Eingang Referenz positiv Kanal 2
51	REFN2	Eingang analog	Eingang Referenz negativ Kanal 2
52	REFP1	Eingang analog	Eingang Referenz positiv Kanal 1
53	REFN1	Eingang analog	Eingang Referenz negativ Kanal 1
54	V0CH1	Ausgang analog (Buffer)	Mittenspannung Kanal 1
55	SINP1	Eingang analog	Eingang Sinus positiv Kanal 1
56	SINN1	Eingang analog	Eingang Sinus negativ Kanal 1
57	COSN1	Eingang analog	Eingang Cosinus negativ Kanal 1
58	COSP1	Eingang analog	Eingang Cosinus positiv Kanal 1
59	COSP2	Eingang analog	Eingang Cosinus positiv Kanal 2
60	COSN2	Eingang analog	Eingang Cosinus negativ Kanal 2
61	SINN2	Eingang analog	Eingang Sinus negativ Kanal 2
62	SINP2	Eingang analog	Eingang Sinus positiv Kanal 2
63	V0CH2	Ausgang analog (Buffer)	Mittenspannung Kanal 2
64	N.C.	n.c.	Darf nicht beschaltet werden.
EXP	VSS	Exposed Pad	Masse digital

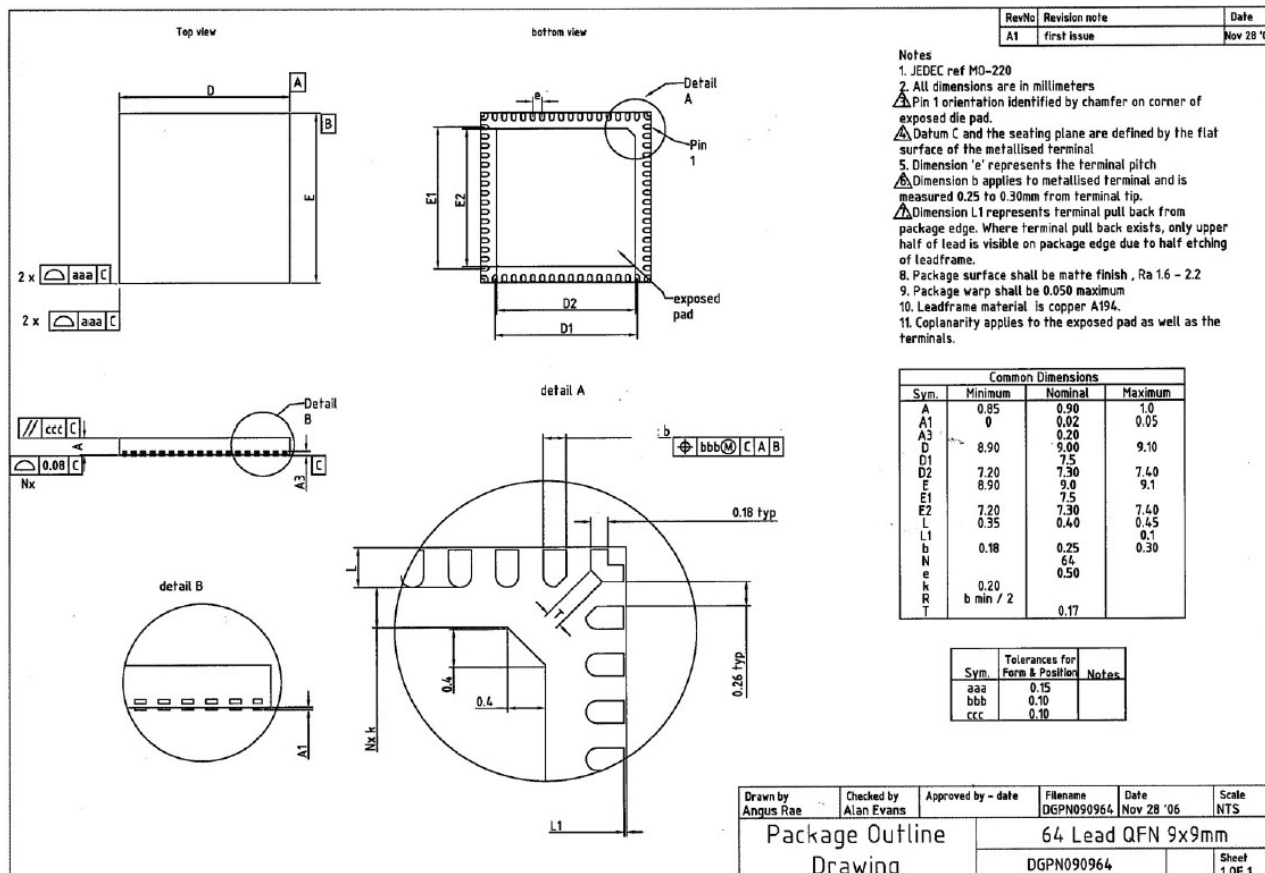


Abbildung 2: Gehäuse QFN64

## 6 Konfiguration

### 6.1 Reset

Während des Rücksetzens des Schaltkreises werden das digitale Interface festgelegt (SPI oder SSI/BiSS) sowie alle Register initialisiert. Die Initialisierung des IC erfolgt dabei entweder aus dem internen EEPROM oder über Konfigurationseingänge. Die Konfiguration aus dem internen EEPROM geschieht nur, wenn an EEPROM-Adresse 0x00 eine gültige Kennung programmiert wurde. Die Konfiguration der Interpolationsrate erfolgt entweder aus dem anwenderspezifischen Teil des EEPROMs oder mit der festen Interpolationsrate 2000 aus dem Hersteller-PROM. Ebenfalls während des Resetablaufes werden bei gültiger Kennung an EEPROM-Adresse 0x01 die Nonius-Korrektur-Koeffizienten geladen.

Während des gesamten Resetablaufes wird, abhängig von der ausgewählten Schnittstelle, einer der Ausgänge NERR oder MISO auf L-Pegel gehalten. Bis zu diesem Zeitpunkt dürfen die seriellen Schnittstellen nicht aktiviert werden. Nach abgeschlossener Initialisierung ist die Konfiguration des Schaltkreises mittels der seriellen Schnittstellen SPI und BiSS jederzeit änderbar. Folgende Tabellen zeigen alle während des Rücksetzens vom Anwender festzulegenden Konfigurationsoptionen.

Tabelle 3: Auswahl des seriellen Interfaces GC-NIP

Schnittstelle	SEN Resetwert	BIT SSI <sup>1)</sup>	Pin MISO / SLO	Pin MOSI / SLI	Pin SCK	Pin SEN	Ready-Signal
SPI	1	beliebig	SPI-MISO	SPI-MOSI	SPI-SCK	SPI-SEN	an MISO
SSI	0	1	SSI-DATA	-	SSI-MA	0	an NERR
BiSS	0	0	BiSS-SLO	BiSS-SLI	BiSS-MA	0	an NERR

<sup>1)</sup> Register CFGBiSS / Bit 31

Tabelle 4: Umschaltung Konfigurationsquelle

Inhalt EEPROM Adresse 0x00	Konfiguration
Ungleich 0x134A	Grund-Konfiguration / Tabellen 8, 9 (Pin)
0x134A	Aus EEPROM / Tabellen 8, 9 (EEPROM)

Tabelle 5: Konfiguration Interpolationsrate und Noniusteilung

Inhalt EEPROM Adresse 0x00	Bit IRMAP <sup>1)</sup>	Quelle	Interpolationsrate IRATE	Noniusteilung	Interpolationsrate an ABZ
Ungleich 0x134A	Defaultwert 1	Hersteller EEPROM	2000	125	2000
0x134A	0	EEPROM	Beliebige [256 ... 8192]	IRATE / [ 16,32,64, 128]	IRATE / [1,2,4,8 ]
0x134A	1	Hersteller EEPROM	2000	125	2000 / [1,2,4,8 ]

<sup>1)</sup> Register CFG1 / Bit 3

Tabelle 6: Konfiguration Nonius-Korrektur-Koeffizienten

Inhalt EEPROM Adresse 0x01	Nonius-Korrektur-Koeffizienten
Ungleich 0x134A	Alle 0
0x134A	Aus EEPROM

## 6.2 Konfiguration

Der IC kann mit Hilfe von Konfigurationsregistern an verschiedenartigste Messsysteme und Folgeelektroniken angepasst werden. Erfolgt die Initialisierung des IC mittels EEPROM oder einer seriellen Schnittstelle (SPI/BiSS), stehen alle Konfigurationsmöglichkeiten zur Verfügung. Bei Initialisierung über die Konfigurationseingänge sind ausgewählte Parameter extern einstellbar. Tabelle 7 gibt einen Überblick über die Konfigurationsmöglichkeiten des GC-NIP. Tabellen 8 und 9 zeigen die vom Hersteller voreingestellte IC-Konfiguration. Detaillierte Beschreibungen aller Konfigurationsbits sind in Abschnitt 9 zu finden.

Tabelle 7: Konfigurationsoptionen

Parameter	Mögliche Werte	Register / Bit
Interpolationsrate IRATE	Konfigurierbar, als Tabellenwerte im EEPROM Feste Tabellen alternativ im ROM Teilerfaktor für ABZ und Interpolationszähler separater Teilerfaktor für Kanal 2 zuschaltbar	Aus EEPROM CFG1 / IRMAP CFG1 / IRDIV(1:0) CFG1 / IRD2SEL, CFG3 / IRDIV2(1:0)
Betriebsart	Nonius + ABZ 2 Kanal Einmessmodus	CFG1 / MODE(3:0)
Noniusteilung	Interpolationsrate / [ 8 / 16 / 32 / 64 ]	Aus EEPROM
Noniuskorrektur	Korrekturwerte Auflösung Aktivierung / Deaktivierung	Aus EEPROM CFG3 / MXSHR CFG3 / MXFEED
Min. Flankenabstand an ABZ ( $t_{pp}$ )	1, 2, 4, 8, 16, 32, 64, 128	CFG1 / CFGTPP(2:0)
Referenzsignalverarbeitung	Enable, Disable, Verzögert Index 1 Periode / 1 Inkrement Position 0°-360°, Schrittweite 11.25° Modus Reset, Trigger, Abgleich, Abstandskodiert Position 0°-360°, Schrittweite 360°/IRATE	CFG3 / DISZ(1:0), CFG3 / ZDEL(1:0) CFG2 / Z4 CFG2 / ZPOS CFG2 / ZMODE CFG3/NOSEL, NONOFFS
Signalamplitude nominal	660 mV <sub>pp</sub> , 250 mV <sub>pp</sub> , 120 mV <sub>pp</sub> , 60 mV <sub>pp</sub>	CFG1 / GAIN(1:0) alternativ: Pins CFGGAIN(1:0)
Tiefpassfilter (1dB)	150kHz, 75kHz, 10kHz (alle +/-10%), Disable	CFG1 / CFGAF alternativ: Pins CFGAF(1:0)
Digitale Hysterese an ABZ	0 (Disable), 1 ... 7	CFG3 / DH(2:0)
Ausgangssignale A/B/Z	ABZ, DSP-Modus, Sensor- und Referenzpunktgleich zusätzlicher SPI an ABZ2	CFG1 / MODE(2:0)  CFG1 / MODE(3)
Fehlerverarbeitung	Maskierung, Speicherfreigabe Verhalten der ABZ-Ausgänge im Fehlerfall	CFG1 / Mxxx, Lxxx CFG1 / HLD, TRI
Phasenkorrektur	± 10° Schrittweite 0.15°, ±5° Schrittweite 0.08°	CFG2 / PH1(5:0) CFG2 / PH2(5:0) CFG2 / PHBER,
Verstärkungsregler	Voreinstellung / Zeitkonstante / Enable, Disable	CNTRLG, CFG3 / GAINCTL, DISCTL
Offsetregler	Voreinstellung / Zeitkonstante / Enable, Disable	CNTRLO, CFG3 / OFFSCTL, DISCTL
Hardwareadresse	0-15	CMD / SETHWA Pins HWA(3:0)
Sonderfunktionen	Triggerflanke Preset Nonius Aktiv / Inaktiv Noniusoffset Zähler Nullposition (Preset) Zählrichtung Nonius	CFG1 / TRGSLP CFG2 / PREENA NONOFFS, PREST2 PREST1, PREST2 Pin CFGDIR
Schnittstellenkonfiguration	Datenformat Positionswerte SPI-Modus Synchron, Asynchron BiSS aktiv, inaktiv SSI-Timing BiSS-Timing BiSS-Datenformat 8Bit, 32 Bit SPI zur Manipulation der SSI/BiSS-Daten	CFGBISS / SSI20, GRAY, STBIT, STSEL CFG2 / ASYNC, SYNC(6:0) CFGBISS / SSI CFGBISS / SSITO, RING CFGBISS / BISSTO CFGBISS / READ32 CFG1 / MODE(3)
Stromsparoptionen	Deaktivierung Monitorausgänge Deaktivierung V0-Pins Deaktivierung Kanal 2 Deaktivierung Korrekturwertberechnung Deaktivierung analoger Referenzpunkt	CFG2 / DISMON CFG2 / DISV0 CFG3 / DISCH2 CFG3 / MXFEED CFG3 / DISZ1, DISZ2

Tabelle 8: Defaultkonfiguration

Konfiguration	Default (EEPROM mit Herstellerprogrammierung)		Default (Pin)	
Analog	Phasenkorrektur	0°	Phasenkorrektur	0°
	Lowpass -1dB	150 kHz	Lowpass -1dB	<b>über Pin konfiguriert</b>
	Nominalamplitude	<b>660 mVpp</b>	Nominalamplitude	<b>über Pin konfiguriert</b>
	Stromsparoption	deaktiviert	Stromsparoption	deaktiviert
Interpolation Nonius	Interpolationsrate	<b>8000</b>	Interpolationsrate	<b>2000</b>
	Regler	aktiv, Timing 01	Regler	aktiv, Timing 01
	Startwerte Regler	Mittenwerte	Startwerte Regler	Mittenwerte
	Referenzpunkt	bei 45°	Referenzpunkt	bei 45°
	Noniusteilung	125	Noniusteilung	125
	Noniuskorrektur	alle Koeffizienten auf 0, 18 Bit	Noniuskorrektur	alle Koeffizienten auf 0, 18 Bit
	Zählrichtung	über Pin DIR konfiguriert	Zählrichtung	über Pin DIR konfiguriert
	Stromsparoption	deaktiviert	Stromsparoption	deaktiviert
ABZ-Ausgänge	Modus	ABZ	Modus	ABZ
	TPP	0	TPP	0
	Digitale Hysterese	1	Digitale Hysterese	1
	Z	aktiv, 1 Inkrement	Z	aktiv, 1 Inkrement
	Im Fehlerfall	Hold	Im Fehlerfall	Hold
	Stromsparoption	deaktiviert	Stromsparoption	deaktiviert
Fehlerverarbeitung	Überwachung	Alle Fehler (ABZ-Modus)	Überwachung	Alle Fehler (ABZ-Modus)
	Speicherung	inaktiv	Speicherung	Inaktiv
Sonderfunktionen	Preset (Nonius)	<b>inaktiv über CFG2/PREENA</b>	Preset (Nonius)	<b>immer inaktiv</b>
	Presetwerte	0x00	Presetwerte	0x00
	Noniusoffset	0x00	Noniusoffset	0x00
	Triggerflanke	fallend	Triggerflanke	fallend
	Richtung Nonius	über Pin konfiguriert	Richtung Nonius	über Pin konfiguriert

Tabelle 9: Defaultkonfiguration Schnittstellen

Konfiguration	Default (EEPROM mit Herstellerprogrammierung)		Default (Pin)	
SPI-Schnittstelle	Aktivierbar über SEN Hardwareadresse an HWA(3:0)		Aktivierbar über SEN Hardwareadresse an HWA(3:0)	
SSI-Schnittstelle	Aktivierbar über SEN Timeout 20 µs @ 26 MHz, Ringmodus Format 20Bit Datenausgabe direkt (ohne Simple-SPI)		Aktivierbar über SEN Timeout 20 µs @ 26 MHz, Ringmodus Format 20Bit Datenausgabe direkt (ohne Simple-SPI)	
BiSS-Schnittstelle	Hardwareadresse an HWA(3:0) Timeout 19.7 µs @ 26MHz Format 30Bit Singleturn Datenausgabe direkt (ohne Simple-SPI)		Hardwareadresse an HWA(3:0) Timeout 19.6 µs @ 26 MHz Format 30Bit Singleturn Datenausgabe direkt (ohne Simple-SPI)	



## 7 Funktionsbeschreibung

### 7.1 Eingangsverstärker / Tiefpass

Der GC-NIP enthält sechs Instrumentationsverstärker mit einstellbaren Verstärkungsfaktoren. Inkrementalgeber mit Spannungsschnittstelle sowie Messbrücken können direkt angeschlossen werden. Sensoren mit Stromschnittstelle werden mittels einfacher Außenbeschaltung (siehe 11.1) angepasst. Der IC kann sowohl mit single-ended, als auch mit differentiellen Eingangssignalen arbeiten. Die Verstärkung ist für alle Signale des Sensors (Sinus, Cosinus, Referenz) identisch. Zur Anpassung des GC-NIP an kundenspezifische Sensoren stehen die Mittenspannungen der Instrumentationsverstärker an den Ausgängen V01 bzw. V02 zur Verfügung. Die beiden Cosinussignale sind am Instrumentationsverstärker in ihrer Phase zum zugehörigen Sinussignal über ein digitales Potentiometer mit 64 Stufen abgleichbar. Der Einstellbereich beträgt umschaltbar  $\pm 5^\circ$  oder  $\pm 10^\circ$ . Die Instrumentationsverstärker sind mit den internen AD-Wandlern verbunden. Wahlweise geschieht diese Verbindung direkt oder über ein konfigurierbares Tiefpass-Filter. Die in Tabelle 11 angegebene Grenzfrequenzen werden mit  $\pm 10\%$  erreicht. Minimal- und Maximalwert der ADC sowie der Bezugspegel der Instrumentationsverstärker sind so abgeglichen, dass schaltkreisinterne Offsetfehler bereits korrigiert sind. Der Pegel am Eingang der Analog-Digital-Umsetzer kann über die Monitorausgänge SMON und CMON überwacht werden<sup>1</sup>.

Tabelle 10: Konfiguration Nominalamplitude (Register CFG1)

CFG1/GAIN(1:0)	00	01	10	11
Eingangsspannung für differentielle Einspeisung <sup>1)</sup> (mV <sub>pp</sub> )	330	125	60	30
Eingangsspannung nominal U <sub>DiffNom</sub> (mV <sub>pp</sub> )	660	250	120	60
Eingangsspannungsbereich für Interpolation U <sub>Diff</sub> (mV <sub>pp</sub> )	400...800	150...300	75...145	36...72
Eingangsspannungsbereich bis ADC-Übersteuerung U <sub>DiffMAX</sub> (mV <sub>pp</sub> )	990	375	180	90
Mittenspannung an V0 nominal	1.1	1.1	1.1	1.1
Ausgangsspannung U <sub>MON</sub> nominal an SMON / CMON (V <sub>pp</sub> )	1.27	1.27	1.27	1.27
Verstärkungsfaktor (U <sub>MON</sub> / U <sub>DIFF</sub> )	1.92	5.08	10.6	21.2

<sup>1)</sup> an jedem der Eingänge SINP, SINN, COSP, COSN

Tabelle 11: Konfiguration Tiefpass (Register CFG1)

Grenzfrequenz -1dB	CFG1/CFGAF(1:0)
150 kHz (-0.5dB)	00
75 kHz	01
10 kHz	10
Tiefpass nicht aktiv	11

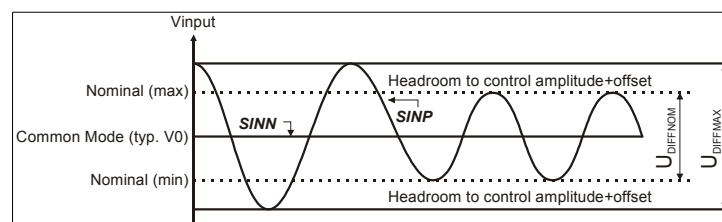


Abbildung 3: Eingangssignale (single ended)

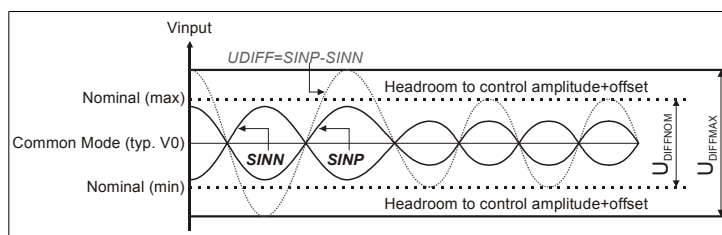


Abbildung 4: Eingangssignale (differenziell)

<sup>1)</sup> Der Analogfilter (Tiefpass) muss aktiviert sein um die Monitorausgänge zu verwenden (CFG1/CFGAF ≠ '11').

Es existiert eine Begrenzung der Eingangspegel an den Eingängen der Instrumentationsverstärker von  $V_{in}=0.35 \text{ V} \dots V_{DDA}-1.00 \text{ V}$ . Je nach Gleichtaktspannung an den analogen Eingängen wird dadurch der Arbeitsbereich für die GAIN-Einstellung „00“ ( $V_{NOM} = 660 \text{ mV}_{pp}$ ) eingeschränkt.

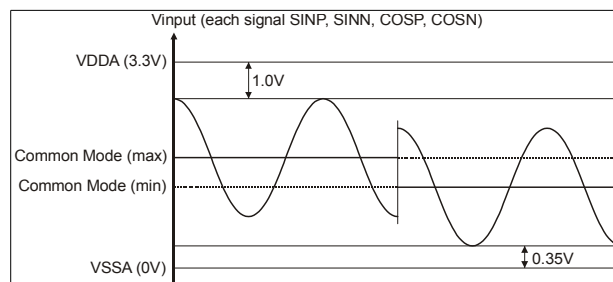


Abbildung 5: CMIR (Eingangssignale)

Beispielhaft sind einige Kombinationen von Gleichtakteingangsspannung und VDDA bei Maximalamplitude für single-ended Signale ( $800 \text{ mV}_{pp}$ ) und Maximaloffset ( $\pm 70 \text{ mV}$ ) aufgeführt:

Tabelle 12: Beispiel Gleichtakteingangsspannung (CMIR)

VDDA	Gleichtaktspannung (Min)	Gleichtaktspannung (Max)
3.30V	0.82V	1.83V
3.15V	0.82V	1.63V
3.00V	0.82V	1.53V

## 7.2 Signalkorrektur

Die Eingangssignale werden einer AMAC-spezifischen Gain- und Offsetregelung unterzogen. Die Amplituden werden im Bereich von 60% bis 120% der Nominalamplitude ausgeregelt. Der Regelbereich für den Offset der beiden Eingangssignale beträgt  $\pm 10\%$  der Nominalamplitude. Die Phasenabweichung der Eingangssignale kann statisch über ein digitales Potentiometer in 64 Stufen korrigiert werden. Ein Konfigurationsbit legt den Einstellbereich der Phase auf ca.  $\pm 5^\circ$  oder ca.  $\pm 10^\circ$  fest.

Nach dem Rücksetzen des IC werden Startwerte zur Korrektur für Amplitude und Offset der beiden Eingangssignale aus dem EEPROM geladen. Die volle Messgenauigkeit erreicht der IC jedoch erst nach dem Einschwingen der internen Signalregelung nach ca. 10...50 Teilungsperioden. Alternativ können Reglerstartwerte für eine gegebene Kombination von Maßstab und Sensor im EEPROM abgelegt werden. Dadurch verkürzt sich diese Einschwingzeit nach dem Rücksetzen des IC.

Um die größtmögliche Genauigkeit der Amplituden- und Offsetregelung zu erreichen, müssen die Phasenpotentiometer auf den am GC-NIP angeschlossenen Sensor abgeglichen werden. Im GC-NIP werden Amplituden- und Offsetfehler als Einheit betrachtet. Für spezielle Applikationen bedeutet dies, dass bei Verringerung eines der Fehler u.U. ein größerer zulässiger Fehler des jeweils anderen Parameters zugelassen werden kann. Weiterhin kann die Reglerdynamik an unterschiedliche Anwendungen angepasst werden. (Register CFG3/GAINCTL und CFG3/OFFSCTL).

Tabelle 13: Signalkorrektur

Größe	in % bezogen auf nominale Amplitude (PEAK-PEAK)	in % bezogen auf ADC-Maximum (PEAK-PEAK)	in mV bezogen auf Standardsignal (0.66 Vpp)	in V am Pin SMON bzw. CMON (PEAK-PEAK)
Maximalwert am Eingang ( $V_{max,pp}$ )	150	100	990	1.90
Nominalwert des Eingangssignals ( $V_{nom,pp}$ )	100	66.7	660	1.27
Garantierter Regelbereich Amplitude	60 ... 120	40 ... 80	400 ... 800	0.76 ... 1.52
Einstellbereich Amplitudenregler	56 ... 168 <sup>1)</sup>	38 ... 112 <sup>1)</sup>	370 ... 1110 <sup>1)</sup>	0.71 ... 2.13 <sup>1)</sup>
Vektorüberwachung <sup>2)</sup>	30	20	200	0.38
Garantierter Regelbereich Offset (Sensor)	$\pm 15$	$\pm 10$	$\pm 70$	$\pm 0.133$
Einstellbereich Offsetregler	$\pm 25$	$\pm 17$	$\pm 165$	$\pm 0.315$

<sup>1)</sup> Der Einstellbereich für die Amplitude überschreitet den Aussteuerbereich des ADC.

<sup>2)</sup> Ein Summensignal aus Sinus und Cosinus wird überwacht. Siehe Abschnitt 7.5 Bit VLOW

### 7.3 Interpolation / Noniusberechnung

Die Signalperioden der analogen Eingangssignale Sinus und Cosinus werden je nach eingestellter Interpolationsrate unterteilt und als Phasenwert (PHI) sowie als Zählwert über die seriellen Schnittstellen (SPI/SSI/BISS) an nachfolgende Komponenten weitergegeben. Parallel dazu werden um 90° phasenverschobene Rechteckfolgen (A/B/Z-Signale) generiert.

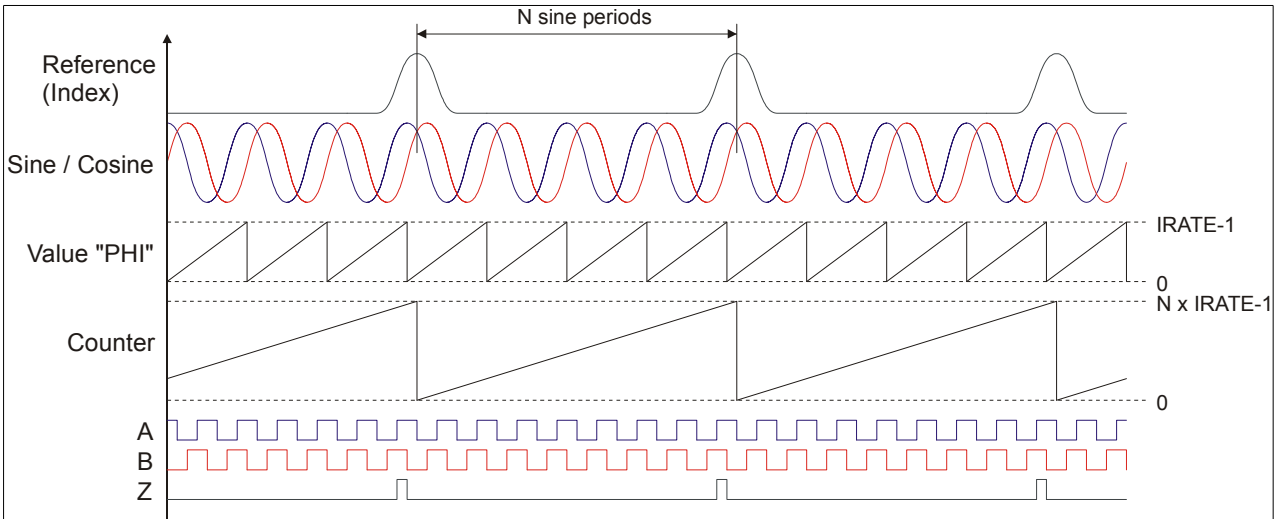


Abbildung 6: Interpolation

Aus den Phasenwerten der beiden Kanäle wird mittels Noniusverfahren die Absolutposition des Sensors auf dem Maßstab bestimmt. Dafür können in einem Einmessvorgang 16 Korrekturkoeffizienten im EEPROM des GC-NIP hinterlegt werden. Fehler des Sensors oder der Maßverkörperung werden durch diese Koeffizienten für die Berechnung des Nonius ausreichend gedämpft.

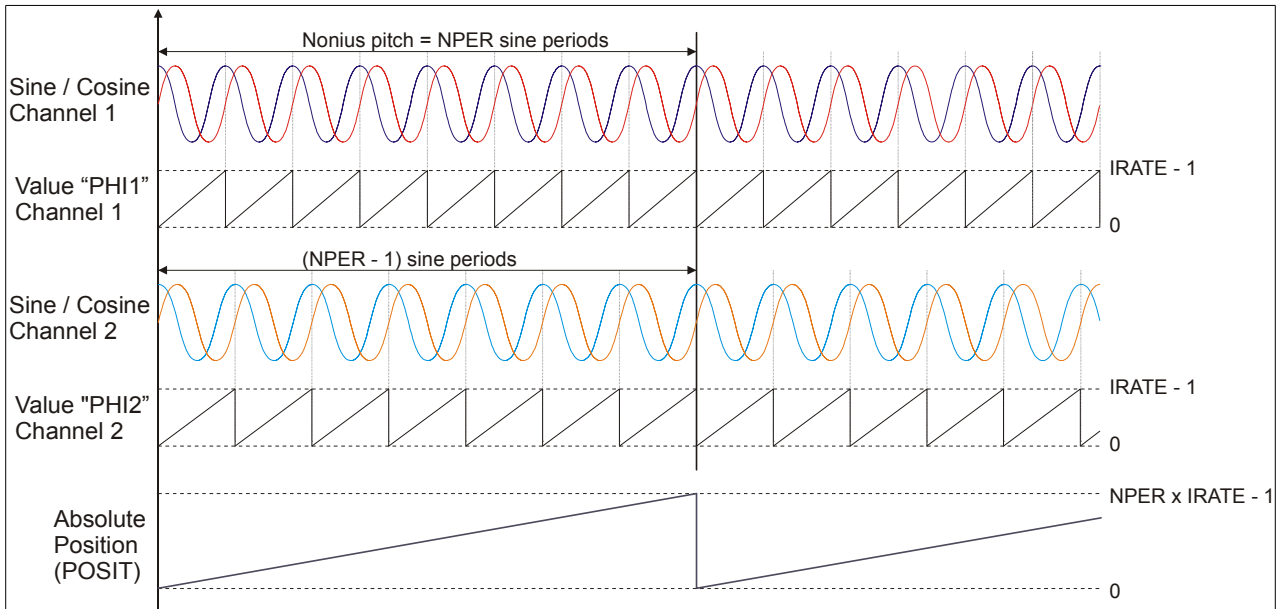


Abbildung 7: Noniusberechnung

Tabelle 14: Grundlegende Betriebsarten des GC-NIP

Modus	CFG1/Mode'(3:0)	Sensor	Messwerte
Nonius + ABZ	X000	Noniussensor	Register CNT1: Inkrementalposition Kanal 1 Register CNT2: Inkrementalposition Kanal 2 Register POSIT: Absolutposition <sup>1)</sup> SSI/Biss: Absolutposition <sup>1)</sup> ABZ1: Inkrementalsignale Kanal 1 ABZ2: Inkrementalsignale Kanal 2
Zweikanal	X000	2 unabhängige Sensoren	Register CNT1: Inkrementalposition Kanal 1 Register CNT2: Inkrementalposition Kanal 2 Register POSIT: Inkrementalposition 1 und/oder 2 <sup>1)</sup> SSI/Biss: Inkrementalposition 1 und/oder 2 <sup>1)</sup> ABZ1: Inkrementalsignale Kanal 1 ABZ2: Inkrementalsignale Kanal 2
Einmessen	0101	Noniussensor	Register CNT1: Inkrementalposition Kanal 1 Register CNT2: Inkrementalposition Kanal 2 Register POSIT: Absolutposition <sup>1)</sup> SSI/Biss: Absolutposition <sup>1)</sup> ABZ1: Hilfssignale zum Sensorabgleich ABZ2: Hilfssignale zum Sensorabgleich

<sup>1)</sup> Der Inhalt des Registers POSIT wird mittels CFGBISS/STSEL(1:0) festgelegt

### 7.3.1 Interpolationsrate / Noniusperiode

Als Interpolationsrate (IRATE) wird die Anzahl der Inkremente verstanden, in die eine Sinusperiode / Cosinusperiode der Eingangssignale unterteilt wird. Die Noniusperiode ist die Anzahl der Sinus- / Cosinusperioden, in denen mittels Noniusverfahren die Position eindeutig zugeordnet werden kann. Für den GC-NIP kann die Interpolationsrate für die Noniusberechnung zwischen 256 und 8192 frei gewählt werden. Die Interpolationsraten für die integrierten Interpolationszähler und die A/B-Ausgänge kann darüber hinaus noch mit einem Teilerfaktor von 1, 2, 4 oder 8 eingestellt werden. Der Teilerfaktor kann für beide Kanäle verschieden konfiguriert werden. Die so geteilte Interpolationsrate entspricht dann der Anzahl der Flankenwechsel auf den A/B-Ausgängen pro Eingangssignalperiode. Die Anzahl der Rechteckperioden an den Ausgängen A und B beträgt damit  $\frac{1}{4}$  der geteilten Interpolationsrate. Die Noniusperiode (NPER) ist aus  $IRATE/8$ ,  $IRATE/16$ ,  $IRATE/32$  oder  $IRATE/64$  wählbar.

Folgende Tabelle gibt mögliche Kombinationen sowie Einschränkungen von Interpolationsrate und Noniusperiode für die verschiedenen Schnittstellen an.

Tabelle 15: Grundlegende Betriebsarten des GC-NIP

Wert	Interpolationsrate	Bedingung	Mögliche Noniusperioden
Singleturn Nonius	IRATE aus EEPROM 256 ... 8192	IRATE ist durch 8 teilbar	NPER = IRATE / DIV DIV = [8, 16, 32, 64] Falls DIV = 8, dann IRATE ≤ 4096
Interpolationszähler intern	IRATE aus EEPROM / IRDIV IRDIV = [1, 2, 4, 8]	IRATE ist durch 8 teilbar	Kein Einfluss
ABZ-Ausgänge	IRATE aus EEPROM / IRDIV IRDIV = [1, 2, 4, 8] IRDIV2 = [1, 2, 4, 8] (IRD2SEL = 1)	IRATE ist durch 8 teilbar IRATE/IRDIV ist durch 4 teilbar	Kein Einfluss

**Beispiel 1**

Die Absolutauflösung soll mindestens 17 Bit sein  
 Der IC soll an Maßverkörperungen von 50 ... 70 Noniusperioden arbeiten  
 Die Inkrementalauflösung für einen Motorregler an ABZ soll mindestens 10 Bit betragen

NPER	IRATE	DIV	Auflösung	Bit	IRDIV	IRATE (ABZ)	NPER	IRATE	DIV	Auflösung	Bit	IRDIV	IRATE (ABZ)
50	3200	64	160000	17.29	2	1600	61	3904	64	238144	17.86	2	1952
51	3264	64	166464	17.34	2	1632	62	3968	64	246016	17.91	2	1984
52	3328	64	173056	17.40	2	1664	63	4032	64	254016	17.95	2	2016
53	3392	64	179776	17.46	2	1696	64	2048	32	131072	17.00	2	1024
54	3456	64	186624	17.51	2	1728	65	2080	32	135200	17.04	2	1040
55	3520	64	193600	17.56	2	1760	66	2112	32	139392	17.09	2	1056
56	3584	64	200704	17.61	2	1792	67	2144	32	143648	17.13	2	1072
57	3648	64	207936	17.67	2	1824	68	2176	32	147968	17.17	2	1088
58	3712	64	215296	17.72	2	1856	69	2208	32	152352	17.22	2	1104
59	3776	64	222784	17.77	2	1888	70	2240	32	156800	17.26	2	1120
60	3840	64	230400	17.81	2	1920							

**Beispiel 2**

Die Absolutauflösung soll maximal sein  
 Der IC soll an Maßverkörperungen von 30...40 Noniusperioden arbeiten  
 Aus der Maximalfrequenz an den ABZ-Ausgängen wurde anhand Abschnitt 7.4 eine maximale Interpolationsrate für ABZ von 128 ermittelt

NPER	IRATE	DIV	Auflösung	Bit	IRDIV	IRATE (ABZ)	NPER	IRATE	DIV	Auflösung	Bit	IRDIV	IRATE (ABZ)
30	960	32	28800	14.81	8	120	36	576	16	20736	14.34	8	72
31	992	32	30752	14.91	8	124	37	592	16	21904	14.42	8	74
32	1024	32	32768	15.00	8	128	38	608	16	23104	14.49	8	76
33	528	16	17424	14.09	8	66	39	624	16	24336	14.57	8	78
34	544	16	18496	14.17	8	68	40	640	16	25600	14.64	8	80
35	560	16	19600	14.26	8	70							

**7.3.2 Flankenabstandskontrolle / Intervallzeit t<sub>pp</sub> / Hysterese**

Die Ausgangssignale A,B und Z ändern sich in einem zeitlichen Abstand t<sub>pp</sub>, welcher durch die Konfigurationsbit CFG1/TPP(2:0) auf einen minimalen Wert begrenzt werden kann. Die Abstufung der Zeitschritte ist abhängig von der Oszillatorfrequenz und kann in binären Schritten konfiguriert werden. Nach dem Schalten eines der Ausgänge wird die nächstfolgende Flanke des anderen Signals erst am IC-Ausgang sichtbar, wenn die Zeit t<sub>pp</sub> abgelaufen ist. So kann auch im Falle einer kurzzeitigen Störung der Eingangssignale ein nachfolgend angeschlossener Interpolationszähler fehlerfrei arbeiten. Die Konfiguration der Intervallzeit erfolgt durch den Anwender des IC in Abhängigkeit von dem an den Ausgängen A,B und Z angeschlossenen Zähler (siehe dazu Abschnitt 7.4). Zu beachten ist allerdings die dadurch entstehende Zeitdiskretisierung am Ausgang des Schaltkreises.

Im GC-NIP ist ein digitales Interpolationsverfahren realisiert. Dies hat zur Folge, dass die geschwindigkeitsproportionalen Ausgangssignale von unvermeidbaren Quantisierungsfehlern (den so genannten ±1 Fehlern) überlagert sind. Diese können durch die Aktivierung der digitalen Hysterese (Register CFG1/DH(2:0)) ausgeblendet werden. Es wird dann das Schalten der Ausgänge bei statischen Eingangssignalen verhindert. Alle Ausgangssignale werden hierbei um den eingestellten Hysteresewert verzögert.

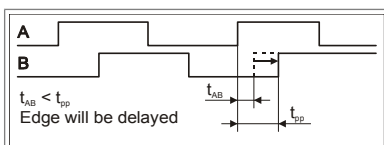


Abbildung 8: Flankenabstandskontrolle

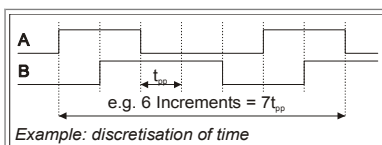


Abbildung 9: Zeitdiskretisierung

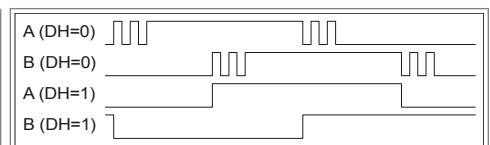


Abbildung 10: Hysterese



### 7.3.3 Indexsignal Z

Das Indexsignal Z wird generiert, wenn die Differenzspannung der Referenzeingänge REFP und REFN positiv ist und die Analogsignale Sinus und Cosinus den im Register CFG3 mit den Bits ZPOS(4:0) eingestellten Phasenwinkel aufweisen. Vom Hersteller ist dieser Winkel auf 45° vorkonfiguriert. Die Schaltpunkte des Referenzsignals müssen dabei bezogen auf den so eingestellten Erkennungswinkel ZPOS im Bereich von ±[90°...150°] liegen. Am Ausgang des IC ist die Breite des Indexsignals umschaltbar zwischen 1 und 4 Inkrementen, d.h. zwischen ¼ und 1 Periode der Ausgangssignale A und B. Ist der IC auf die Indexbreite 1 Inkrement (¼ Periode) konfiguriert, so führen die Ausgänge A und B bei aktivem Z-Signal H-Pegel. Der Abgleich des Phasenwinkels zur Erkennung des Referenzsignals für konkrete Sensoren kann mit Hilfe von Testsignalen oder einem im IC dafür vorgesehenen Triggermodus erfolgen. Siehe dazu Abschnitt 7.7.

Nachfolgende Abbildung zeigt den Zusammenhang zwischen den analogen Eingangssignalen, den Ausgangssignalen A,B und Z sowie dem Wert im integrierten Zähler.

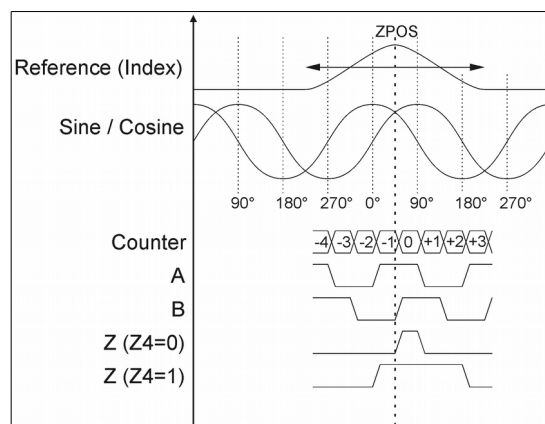


Abbildung 11: Interpolation (Detail)

## 7.4 Maximale Eingangsfrequenz

Die maximale Eingangsfrequenz ist abhängig von der gewählten Schnittstelle am Ausgang. Werden die Rechteckfolgen (ABZ) als Ausgangssignal verwendet, so wird die maximale Eingangsfrequenz begrenzt durch die ABZ-Interpolationsrate und den minimalen Flankenabstand ( $t_{pp}$ ). Wird der interne Zählwert verwendet (Schnittstellen SPI, SSI oder BiSS), so wird die maximale Eingangsfrequenz durch die Taktfrequenz des Schaltkreises ( $f_{OSZ}$ ) bestimmt. Die maximale Eingangsfrequenz für die Berechnung der Absolutposition (Nonius) wird begrenzt durch die Überwachung der Plausibilität des Noniusergebnisses.

Die Umschaltung der überwachten Frequenz erfolgt durch die Bits MABZ und MFAST im Register CFG1. Soll die Schnittstelle ABZ benutzt werden, so müssen MABZ und MFAST mit 1 initialisiert werden, unabhängig davon, ob Noniusposition oder Zählwerte oder über eine andere Schnittstelle gelesen werden.

Tabelle 16: Maximale Eingangsfrequenz

Betriebsart	MABZ	MFAS T	MNON	Maximalfrequenz für Nonius	Maximalfrequenz für Zähler	Maximalfrequenz für ABZ- Ausgang
Nonius	0	0	1	$f_{MAX} \approx f_{OSZ} / 198$	Keine Fehlererkennung	Keine Fehlererkennung
Zähler	0	1	x		$f_{MAX} \approx f_{OSZ} / 280$	Keine Fehlererkennung
Rechteck, $t_{pp} = N/f_{OSZ}$ $N = 2^{CFG1-TPP(2:0)}$	1	1	x		$f_{MAX} \approx 0.9 \cdot f_{OSZ} / (N \cdot IRAB) < f_{OSZ} / 280$	
Interpolationsrate ABZ $IRAB = IRATE / 2^{CFG1-IRDIV(1:0)}$						

ⓘ Alle Werte gelten bei abgeglichener Phase zwischen den Eingangssignalen und nach dem Einschwingen der internen Signalregelung. Bis zu diesem Zeitpunkt darf die Eingangsfrequenz nur 50% der angegebenen Maximalfrequenz betragen. Die maximale Eingangsfrequenz wird des weiteren durch die Konfiguration des analogen Eingangsfilters begrenzt.

## 7.5 Sensorüberwachung

Im GC-NIP gibt es pro Kanal neun Kriterien, anhand derer die Qualität der Sensorsignale überwacht wird und Fehler an den analogen Eingangssignalen zu erkannt werden können. Jede Überwachungsquelle kann mit zugehörigen Bits im Register CFG1 aktiviert, deaktiviert oder mit Speicherverhalten konfiguriert werden. Sind die entsprechenden Überwachungsflags freigegeben, werden die erkannten oder gespeicherten Fehlersignale an NERR ausgegeben. Über die seriellen Schnittstellen (SPI,SSI,BiSS) können die einzelnen Überwachungsflags sowie zusammengefasste Fehler- / Warnungsinformationen ausgelesen werden. Im Fehlerfall ist das Verhalten der Ausgänge A,B und Z im Allgemeinen undefiniert. Ist das Bit HLD im Register CFG1 jedoch gesetzt, ändern sich die Ausgänge im Fehlerfall nicht. Falls das Bit TRI im Register CFG1 gesetzt ist, so werden die Ausgänge A, B und Z im Fehlerfall hochohmig. Eine nachfolgende Auswerteelektronik kann diesen Zustand als Fehlerzustand erkennen.

① Wurde das Fehlersignal NERR aktiviert oder eines der Überwachungsflags im Ergebnisregister gesetzt, so sind das aktuelle Messergebnis und alle nachfolgenden Ergebnisse zu verwerfen. Nach Beseitigung der Fehlerursache und dem Rücksetzen der Fehlerbits mittels SPI/BiSS-Befehl RESCNT oder PRESET-Impuls ist für Messungen mit Verwendung des Referenzsignals ein erneutes Überfahren des Referenzpunktes notwendig!

Tabelle 17: Überblick Sensorüberwachung

NAME	Bedeutung	SPI	ABZ	SSI / BiSS
EVLOW	Der aus Cosinus- und Sinussignal gebildete Signalvektor ist zu klein.	Statusbit	Fehler	Fehler
EADC	Ein oder beide AD-Wandler sind übersteuert.	Statusbit	Fehler	Fehler
EOFFS	Der Offsetregler hat einen Grenzwert erreicht.	Statusbit	Fehler	Warnung
EGAIN	Der Amplitudenregler hat einen Grenzwert erreicht.	Statusbit	Fehler	Warnung
EFAST	Die Eingangsfrequenz ist zu hoch.	Statusbit	Fehler	Fehler
EABZ	Die Signale A, B und Z sind ungültig.	Statusbit	Fehler	-
ENON	Das Noniusergebnis ist unplausibel.	Statusbit	Fehler	Fehler

Die Konfiguration erfolgt durch den Anwender mittels der dafür vorgesehenen Bits im Register CFG1. Grundsätzlich wird empfohlen, alle Überwachungsquellen zu aktivieren. Für einen Betrieb des IC ohne Verwendung der Ausgänge A, B und Z kann die Überwachung der maximalen ABZ-Frequenz (Bit MABZ) deaktiviert werden. Falls ausschließlich die Noniusposition berechnet werden soll, kann die Überwachung der Eingangsfrequenz mittels MFAST deaktiviert werden. Siehe dazu auch Abschnitt 7.4. Für die Verwendung des Schaltkreises als ein- oder zweikanaligen Interpolator ohne Noniusberechnung kann die Überwachung des Noniusergebnisses mit MNON deaktiviert werden.

Tabelle 18: Empfohlene Konfiguration Sensorüberwachung

	ABZ-Interface	SPI-Interface	SSI-Interface	BiSS-Interface
Aktivierte Überwachungsbits	EVLOW EADC EOFFS EGAIN EFAST (ENON) EABZ	EVLOW EADC EOFFS EGAIN (EFAST) (ENON)	EVLOW EADC EOFFS EGAIN (EFAST) (ENON)	EVLOW EADC EOFFS EGAIN (EFAST) (ENON)
Auswertung der Überwachungsbits	Als Gesamtfehler im Fehlersignal NERR	Statusregister Positionsregister Fehlersignal NERR	Als 2 Bit Gesamtfehler und -warnung im Datenstrom	Als 2 Bit Gesamtfehler und -warnung im Datenstrom
Speicherung der Überwachungsbits	Deaktivieren	Aktivieren	Aktivieren	Aktivieren
Löschen des Fehlerspeichers	-	Kommando RESCNT PRESET-Signal	PRESET-Signal	Kommando RESCNT PRESET-Signal
ABZ-Verhalten im Fehlerfall	Hold und/oder Tristate	beliebig	beliebig	beliebig
Register CFG1(31:16)	0x00FF 0x007F (ohne Nonius)	0x77F7 (Nonius und CNT) 0x73F3 (nur Nonius) 0x37B7 (nur CNT)	0x77F7 (Nonius und CNT) 0x73F3 (nur Nonius) 0x37B7 (nur CNT)	0x77F7 (Nonius und CNT) 0x73F3 (nur Nonius) 0x37B7 (nur CNT)

Nachfolgend sind die einzelnen überwachten Sensorsignaleigenschaften näher beschrieben. Für jede Überwachungsquelle sind die korrespondierenden Bits in den Registern CFG1 und STAT aufgeführt.

### Vektorfehler

Der aus Cosinus- und Sinussignal gebildete Signalvektor ist kleiner als ca. 30% der Nominalamplitude. Ursache ist meist ein teilweiser oder vollständiger Sensorabriss. Eine weitere Fehlerursache sind Eingangssignale mit sehr großem Offset bei gleichzeitig kleiner Amplitude.

Aktivierung Fehlererkennung	Aktivierung Fehlerspeicher	STAT-Register	BISS/SSI-SCD
Bit MVLOW	Bit LVLOW	Bit EVLOW	Bit1 – Error

### ADC-Fehler

Ein oder beide AD-Wandler sind übersteuert. Ursache dafür ist eine zu große Signalamplitude. Eine weitere Fehlerursache sind Eingangssignale mit sehr großem Offset bei gleichzeitig großer Amplitude. Sind an den Sensoreingängen entsprechende Pull-Up und Pull-Down Widerstände vorhanden, können Sensorabrissfehler ebenfalls über dieses Fehlerbit erkannt werden.

Aktivierung Fehlererkennung	Aktivierung Fehlerspeicher	STAT-Register	BISS/SSI-SCD
Bit MADC	Bit LADC	Bit ESADC (Sinus) Bit ECADC (Cosinus)	Bit1 – Error

### Offsetfehler

Der Offsetregler hat seine Grenze erreicht. Ursache ist ein zu großer Signaloffset, ein teilweiser oder ein vollständiger Sensorabriss oder ein ungültiger Wert zur Initialisierung des Offsetreglers.

Aktivierung Fehlererkennung	Aktivierung Fehlerspeicher	STAT-Register	BISS/SSI-SCD
Bit MOFF	Bit LOFF	Bit ESOFF (Sinus) Bit ECOFF (Cosinus)	Bit0 – Warnung

### Verstärkungsfehler

Der Verstärkungsregler hat seine Grenze erreicht. Ursache ist eine zu kleine Signalamplitude, ein teilweiser oder ein vollständiger Sensorabriss.

Aktivierung Fehlererkennung	Aktivierung Fehlerspeicher	STAT-Register	BISS/SSI-SCD
Bit MGAIN	Bit LGAIN	Bit ESGAIN (Sinus) Bit ECGAIN (Cosinus)	Bit0 – Warnung

### Geschwindigkeitsfehler

Die Eingangsfrequenz ist so hoch, dass die A/B-Signale nicht gebildet werden können oder keine Richtungserkennung mehr möglich ist. Die überwachte Frequenz unterscheidet sich bei Betrieb mit internem Zähler bzw. bei Verwendung der Rechteckausgänge A/B/Z. Siehe dazu Abschnitt 7.4. Zum Betrieb des GC-NIP ausschließlich zur Noniusberechnung kann die Erkennung dieses Fehlers deaktiviert werden (MFAST = 0).

Aktivierung Fehlererkennung	Aktivierung Fehlerspeicher	STAT-Register	BISS/SSI-SCD
Bit MFAST	Bit LFAST	Bit EFAST	Bit1 – Error

### ABZ-Fehler

Die Signale A, B und Z sind ungültig. Ursache dafür ist eine zu hohe Eingangsfrequenz. Die überwachte Frequenz ist abhängig vom eingestellten minimalen Flankenabstand  $t_{pp}$ . Dieses Fehlerbit wird auch gesetzt, wenn die Interpolationsrate oder der minimale Flankenabstand  $t_{pp}$  geändert werden. Zum Betrieb des GC-NIP ausschließlich unter Verwendung des internen Zählers oder der Noniusberechnung muss die Erkennung dieses Fehlers deaktiviert werden (MABZ = 0).

Aktivierung Fehlererkennung	Aktivierung Fehlerspeicher	STAT-Register	BISS/SSI-SCD
Bit MABZ	Bit LABZ	Bit EABZ	-

### Nonius-Fehler

Die berechnete Absolutposition ist ungültig. Ursache dafür können Fehler in den Eingangssignalen sein, welche mit den derzeitiger hinterlegten Korrekturkoeffizienten nicht ausgeregelt werden können. Eine weitere Fehlerursache ist eine ungünstige Kombination der Korrekturkoeffizienten. Es sollte ein erneutes Einmessen des Noniussensors durchgeführt werden. Siehe auch Abschnitt 7.6.4.

Aktivierung Fehlererkennung	Aktivierung Fehlerspeicher	STAT-Register	BISS/SSI-SCD
MNON	LNON	Bit ENON	Bit1 – Error

## 7.6 Ausgänge ABZ

Die Bedeutung der Signale an den Ausgängen A, B und Z ist mittels der Bits MODE(2:0) im Register CFG1 änderbar. Standardmäßig werden die üblichen um 90° verschobenen Rechteckfolgen erzeugt. Falls diese Signale nicht benötigt werden, kann der Modus „Controller/DSP“ aktiviert werden. Damit ist es möglich, äquidistante Messungen durchzuführen, zusätzliche Komponenten mit dem IC zu synchronisieren oder Messwerte interruptgesteuert an einen Controller-IC zu übertragen.

In weiteren Modi werden Testsignale zum Abgleich des Sensors an den Ausgängen A, B und Z bereitgestellt.

Falls das Bit CFG1/MODE(3) gesetzt ist, wird auf den ABZ-Pins von Kanal 2 ein SPI-Master aktiviert, welcher die Positionsdaten (Register POSIT) zyklisch sendet. Gleichzeitig werden die BiSS/SSI-Daten aus dem Empfangsregister dieser SPI gebildet. Damit ist es z.B. möglich, Informationen eines batteriegestützten Multiturnzählers in die BiSS/SSI-Daten (Singleturnzähler) einzubringen oder weitere Fehlerinformationen an eine Steuerung zu übertragen. Siehe Abschnitt 8.4.

Tabelle 19: Modi / Pins ABZ

Modus	Kodierung	A1	B1	Z1	A2	B2	Z2	TRG	Zählwert1 /ABZ1	BiSS/SSI
ABZ und Nonius	00 00	A1	B1	Z1	A2	B2	Z2	TRG	aus PHI1	direkt
DSP und Nonius	00 01	IRQ	StartSample	ZCNT1	IRQ	StartSample	ZCNT2	TRG	aus PHI1	direkt
Sensorabgleich1 <sup>1)</sup> Einmessmodus	01 01	IR4C_1	IR4S_1	RCOMP_1	IR4C_2	IR4S_2	RCOMP_2	TRG Einmesstrigger	aus PHI1	direkt
Sensorabgleich2 <sup>1)</sup>	01 10	IR8C_1	IR16C_1	NDEV1	IR8C_2	IR16C_2	NDEV2	TRG	aus PHI1	direkt
Sensorabgleich Z	01 11	REFSync1	ZCNT1	Z1	REFSync2	ZCNT2	Z2	TRG	aus PHI1	direkt
ABZ und Nonius	10 00	A1	B1	Z1	StartSample	MCMOSI	MCSCCK	TXENA	aus PHI1	Indirekt über ext. MC
DSP und Nonius	10 01	IRQ	StartSample	ZCNT1	StartSample	MCMOSI	MCSCCK	TXENA	aus PHI1	Indirekt über ext. MC

<sup>1)</sup> Für den Sensorabgleich müssen im Register CFG2 die Bits ZPOS auf 00000 konfiguriert werden

### 7.6.1 Standard ABZ (Mode X000 und X010)

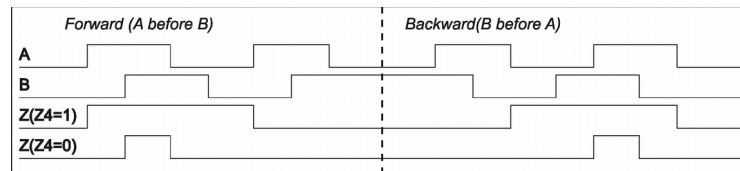


Abbildung 12: ABZ-Signale

### 7.6.2 Controller / DSP (Mode X001 und X011)

Falls die Messwerte des GC-NIP ausschließlich über eine serielle Schnittstelle (SPI/BiSS/SSI) übertragen werden, so stehen an den Ausgängen A, B und Z zusätzliche Signale bereit. Der Ausgang NERR behält seine Bedeutung. Es ist als Open-Drain-Pin ausgeführt, so dass die Fehlersignale mehrerer IC verbunden werden können. Die Erkennung von ABZ-Fehlern muss im Modus Controller/DSP mittels CFG1/MABZ deaktiviert werden.

Tabelle 20: DSP-Modus

Pin	Signal	Bedeutung
A	nINT	Interrupt; L-aktiv; Ein aktives Signal zeigt an, dass mindestens eines der Triggerhaltereregister belegt ist. Ein Lese-Zugriff auf das Register MVAL liefert den „ältesten“ in den Registern gespeicherten Messwert. Der Interrupt kann durch ein Referenzsignal oder ein Signal am Eingang TRG ausgelöst werden. Siehe dazu Abschnitt 7.7.
B	StartSample	Synchronsignal; Dieses Signal liefert den Abtastzeitpunkt der integrierten ADC. Es kann zur Synchronisation weiterer Systeme verwendet werden.
Z	ZCNT	Zähler-Indexpunkt; Dieses Signal zeigt an, dass der interne Zähler des GC-NIP am Referenzpunkt rückgesetzt wird.

### 7.6.3 Abgleich Referenzposition (Sensorabgleich Z - Mode 0111)

Der Phasenwinkel zur Erkennung des Referenzsignals kann mittels Konfigurationsbits sensorspezifisch verschoben werden (siehe Abbildung 11). Die Einstellung kann in zwei Schrittweiten erfolgen. Die Konfiguration hierzu ist in Tabelle 21 aufgezeigt.

Tabelle 21: Verschiebung der Referenzpunktposition

Referenzposition	Abgleich grob	Abgleich fein
Konfiguration	CFG3/NOSEL = 0	CFG3/NOSEL = 1
Einstellung Referenzpunktposition	CFG2/ZPOS	NONOFFS
Schrittweite	11,25°	360° / Interpolationsrate
Bemerkungen	gemeinsame Konfiguration für beide Kanäle	Kanäle getrennt konfigurierbar Offsetwert zur Noniusberechnung nicht verfügbar

Zum Abgleich der Referenzpunktposition ist es möglich, spezielle Hilfssignale an A, B und Z (siehe Abbildung 13) zu messen. Zusätzlich kann der Messwerttrigger zum Abgleich eingesetzt werden. Dazu sind die Konfigurationsbits CFG2/ZMODE(1:0) mit dem Wert „01“ zu initialisieren. Durch Auslesen des MVAL-Registers (CFGBiSS/STSEL = 01 für Kanal 1 oder CFGBiSS/STSEL = 10 für Kanal 2) können die Werte TRGVAL1 und TRGVAL2 (siehe Abbildung 13, Tabelle 22) exakt bestimmt werden. Mit Bezug zur Interpolationsrate ergeben sich damit die Referenzsignalbreite, sowie die Lage des verarbeiteten Indexsignals zum analogen Referenzsignal und zum Sinussignal des Sensors

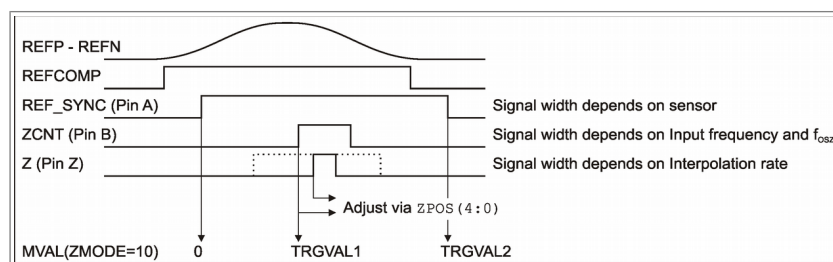


Abbildung 13: Abgleich Referenzsignal

Tabelle 22: Beispiel: Abgleich Referenzposition

Wert	Abgleich grob (CFG3/NOSEL = 0)	Abgleich fein (CFG3/NOSEL = 1)
Referenzsignalbreite	$Zwidth = TRGVAL2/IRATE \cdot 360^\circ$	$Zwidth = TRGVAL2/IRATE \cdot 360^\circ$
Referenzsignallage	$Zstart = Einstellwert\ ZPOS \cdot 11,25^\circ - TRGVAL1/IRATE \cdot 360^\circ$	$Zstart = (ZPOSCH12 - TRGVAL1)/IRATE \cdot 360^\circ$
Abgleichziel	$TRGVAL1 = TRGVAL2/2$	$TRGVAL1 = TRGVAL2/2$
Neuer Einstellwert	$ZPOS\_neu = (Zstart + Zwidth/2)/11,25^\circ$	$ZPOS\_neu = (Zstart + Zwidth/2) \cdot IRATE/360^\circ$

ⓘ Die Software zur Auswertung von TRGVAL1 und TRGVAL2 sollte erkennen können, dass ggf. kein Indexsignal am Ausgang (Z) auftritt oder dass bei doppelten Indexsignalen die Werte von TRGVAL1 oder TRGVAL2 unplausibel sind oder zwischen verschiedenen Werten wechseln. Es wird empfohlen, den Referenzpunktgleich mit einer im Vergleich zur Oszillatorfrequenz kleinen Signalfrequenz durchzuführen.

Eine weitere Möglichkeit zur Einstellung der Referenzposition ist die Verwendung der Presetfunktion. Bei einer Konfiguration von CFG2/PREENA = 1 und CFG3/NOSEL = 1 führt ein PRESET-Impuls zur Übernahme der aktuellen Winkelposition in das Register NONOFFS. Damit kann die Referenzpunktposition für beide Kanäle per externen Impuls abgespeichert werden. Nähere Informationen zur Presetfunktion finden sich in Kapitel 7.10.



### 7.6.4 Einmessmodus (Mode 0101)

Der Einmessmodus des IC dient dazu, Koeffizienten zu bestimmen, die es ermöglichen, dass das verwendete Zweispur-Noniusverfahren auch bei möglichen Verzerrungen von Sinus und Cosinus oder bei langwelligen Fehlern des Noniusmaßstabes fehlerfrei arbeitet. Im Einmessmodus werden bei Auslösen eines Triggerimpulses am Pin TRG bzw. durch das SPI/BiSS-Kommando TRGCAL alle CADC-Register sowie ein an Kanal 1 implementierter Quadrantenzähler zeitgleich gehalten. Softwarebasiert können diese Werte über die gesamte Noniusperiode des Maßstabes ermittelt werden. Daraus werden ebenfalls softwarebasiert 16 Korrekturkoeffizienten bestimmt, die für anschließende Noniusmessungen im EEPROM des IC abgelegt werden. Die Bestimmung der Koeffizienten kann mittels der Software GC-NIP-Monitor durchgeführt werden.

### 7.6.5 Sensorabgleich (Mode 0101 und 0110)

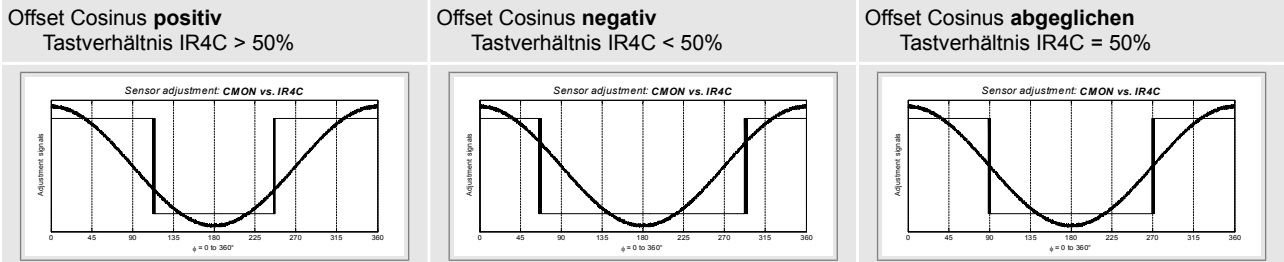
Der IC *GC-NIP* führt einen automatischen Abgleich von Offset und Amplitude beider Gebersignale durch. Um den vollen Regelbereich für dynamische Fehler zu nutzen, ist es sinnvoll, statische Fehler des Sensors bereits vorher abzugleichen. Dazu stehen in den Modi „Sensorabgleich 1“ und „Sensorabgleich 2“ an den Ausgängen A,B, und Z Hilfssignale zum Feinabgleich des Sensors zur Verfügung. Die Ausgangssignale der Instrumentationsverstärker sind an den Ausgängen SMON und CMON messbar<sup>1)</sup>. Eine Beschreibung des Abgleichvorganges gibt Tabelle 23. Typische Signalverläufe werden in den nachfolgenden Abbildungen aufgezeigt.

<sup>1)</sup> Der Analogfilter (Tiefpass) muss aktiviert sein um die Monitorausgänge zu verwenden (CFG1/CFGAF ≠ '11').

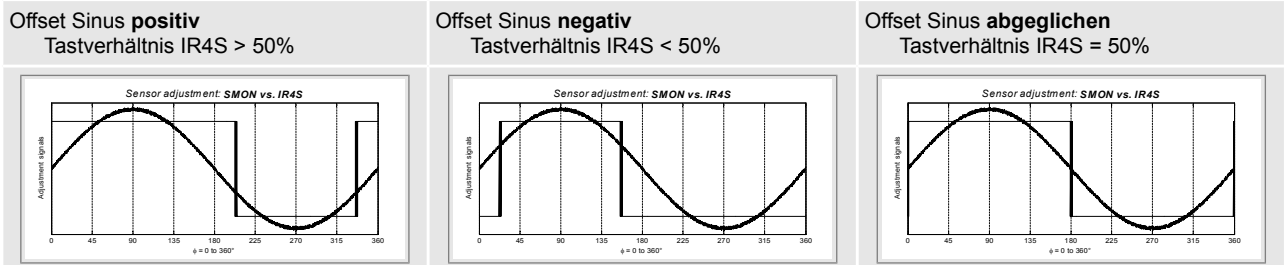
Tabelle 23: Sensorabgleich

Nr.	Abgleich	Einstellung Register CFG1 / CFG2	Vorschrift
1	Amplitude Sinus/Cosinus	Verstärkungsfaktor einstellen	Bewegung des Sensors, Messung an den Pins SMON und CMON Abgleich bis beide Amplituden ca. $1.27V_{pp}$ aufweisen.
2	Referenz	Modus: „Sensorabgleich 1“	Messung des Signals REFCOMP; Abgleich bis Signalbreite etwa einer Periode der Sinussignale entspricht.
3	Offset Cosinus	Modus: „Sensorabgleich 1“ Regler deaktivieren (Bit DISCTL = 1). Korrekturwerte in der Mitte des Einstellbereiches	Bewegung des Sensors, Messung an CMON und Signal IR4C Abgleich bis Tastverhältnis an IR4C 50% der Periode an CMON beträgt.
4	Offset Sinus	Modus: „Sensorabgleich 1“ Regler deaktivieren (Bit DISCTL = 1). Korrekturwerte in der Mitte des Einstellbereiches	Bewegung des Sensors, Messung an SMON und Signal IR4S Abgleich bis Tastverhältnis an IR4S 50% der Periode an SMON beträgt.
5	Phase (grob)	Modus: „Sensorabgleich 2“ Regler aktivieren (Bit DISCTL = 0).	Bewegung des Sensors, Messung an CMON und Signal IR16C, Grobabgleich der Phase, bis alle Flanken an IR16C gleichmäßig innerhalb der Sinusperiode verteilt sind.
5	Phase (fein)	Modus: „Sensorabgleich 2“ Regler aktivieren (Bit DISCTL = 0).	Bewegung des Sensors, Messung an CMON und Signal NDEV, Abgleich der Phase, bis Frequenz an NDEV nicht mit Frequenz des Sinussignals korreliert.
6	Amplitudengleichheit	Modus: „Sensorabgleich 2“ Regler deaktivieren (Bit DISCTL = 1). Korrekturwerte in der Mitte des Einstellbereiches	Bewegung des Sensors, Messung an CMON und Signal IR8C, Abgleich der Signalamplituden bis alle Flanken an IR8C gleichmäßig innerhalb der Sinusperiode verteilt sind.

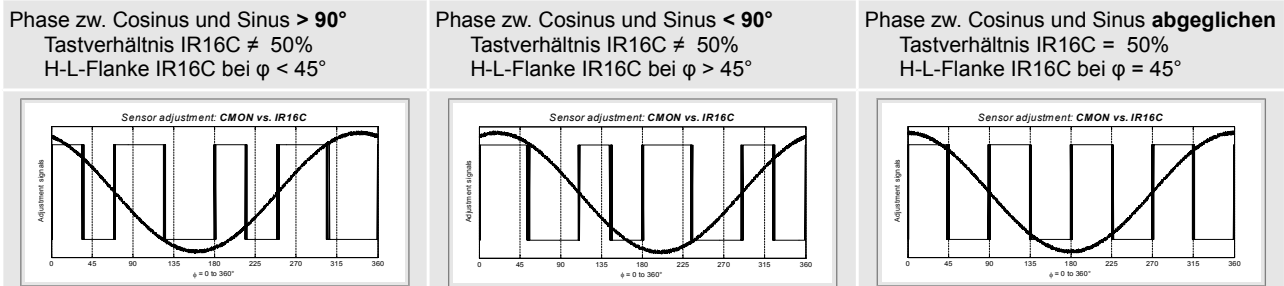
**Abgleich Offset Cosinus – Signale CMON und IR4C (Ausgang A)**  
**Mode '0101' (Sensorabgleich 1), Regler inaktiv / Korrekturwerte: Mittenwert des Korrekturbereiches**



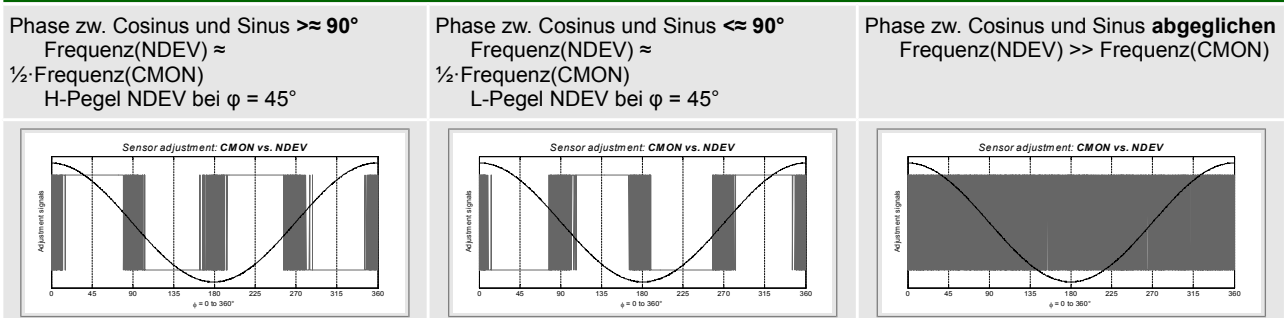
**Abgleich Offset Sinus – Signale SMON und IR4S (Ausgang B)**  
**Mode '0101' (Sensorabgleich 1), Regler inaktiv / Korrekturwerte: Mittenwert des Korrekturbereiches**



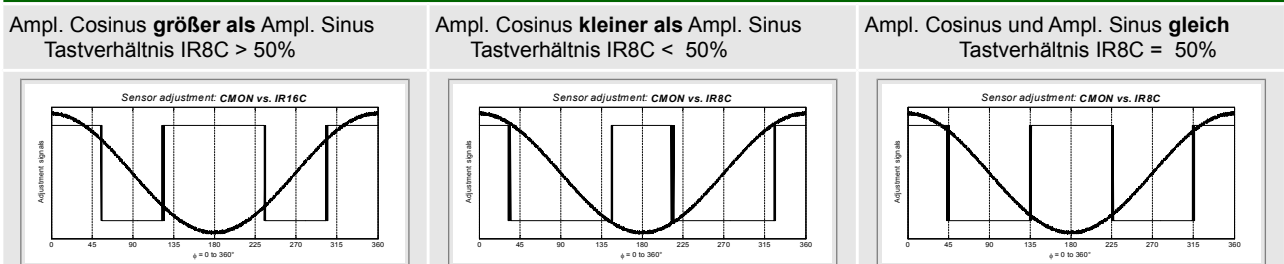
**Abgleich Phase (grob) – Signale CMON und IR16C (Ausgang B)**  
**Mode '0110' (Sensorabgleich 2), Regler aktiv**



**Abgleich Phase (fein) – Signale CMON und NDEV (Ausgang Z)**  
**Mode '0110' (Sensorabgleich 2), Regler aktiv**



**Abgleich Amplitudengleichheit – Signale CMON und IRC8 (Ausgang A)**  
**Mode '0110' (Sensorabgleich 2), Regler inaktiv / Korrekturwerte: Mittenwert des Korrekturbereiches**



## 7.7 Messwerttrigger

Im IC GC-NIP sind zwei Triggerhaltereregister implementiert. In diese Register kann der Wert des POSIT-Registers hardwaregesteuert übertragen werden. Bei Lesezugriffen auf das Register MVAL wird dann jeweils der „älteste“ Wert aus den Triggerhaltereregistern bereitgestellt. Ist kein Wert gespeichert, erscheint der aktuelle Wert des POSIT-Registers. Nach dem Auslesen eines Triggerhaltereregisters wird dieses freigegeben. Im Statusregister STAT ist die Triggerquelle des nächsten zu lesenden Wertes gespeichert. Darüber hinaus wird im Bit TRGOVL angezeigt, ob ein Triggerereignis verloren ging, da zum Zeitpunkt des Triggerereignisses beide Halteregeister belegt waren. Im Bit TRG des Registers MVAL kann man ebenfalls erkennen, ob der gelesene Wert durch ein Hardwareereignis bereitgestellt wurde. Das Signal nINT an Ausgang A zeigt durch L-Pegel ggf. an, ob eines der Triggerhalteregister belegt ist. Siehe dazu auch Abschnitt 7.6.2. Der Programmablauf zur Auswertung der Register MVAL und STAT per Software ist in Abschnitt 11.3 gezeigt.

Tabelle 24: Triggermodi / Referenzpunktmodi

Triggerquelle	Verwendung
TRG-Eingang	Triggerung bei Ereignissen von externen Komponenten (z.B. Messtaster) Triggerung durch einen Mikrocontroller zur äquidistanten Messung
Referenz CFG2/ZMODE=„01“	Triggerung durch das Referenz/Index-Signal zur Auswertung in Software
Referenz CFG2/ZMODE=„10“	Triggerung durch das Referenz/Index-Signal zum Abgleich der Referenzpunktposition durch Software.
Referenz CFG2/ZMODE=„11“	Triggerung durch das Referenz/Index-Signal zur Auswertung abstandskodierte Referenzmarken

### TRG-Eingang

Mit einer Signalfanke am Eingang TRG wird der aktuelle Zählwert in eines der zwei Triggerhaltereregister übernommen. Die aktive Triggerflanke wird mit CFG1/TRGSLP eingestellt.

### Referenztrigger

Jedes Auftreten eines Indeximpulses führt zur Übernahme des aktuellen Zählwertes in eines der zwei Triggerhaltereregister.

### Abgleich Referenzposition

Die steigende Flanke am analogen Referenzsignal setzt den internen Zähler zurück. Die Erkennung des Indexpunktes durch den IC am eingestellten Phasenwinkel triggert die Übernahme des Zählwertes in das erste Triggerhaltereregister. Die fallende Flanke am analogen Referenzsignal triggert die Übernahme des Zählwertes in das zweite Triggerhaltereregister. Nach diesen beiden Triggerereignissen wird das Bit ZSTAT gesetzt und die Triggerverarbeitung bleibt bis zur Freigabe durch eines der SPI/BiSS-Kommandos RESCNT oder CLRZ gesperrt. Siehe dazu auch 13 und Abschnitt 7.6.3.

### Auswertung abstandskodierter Referenzmarken

Ein erster Indexpunkt setzt den internen Zähler zurück. Ein zweiter Indexpunkt triggert die Übernahme des Zählwertes in ein Triggerhaltereregister. Nach diesen beiden Ereignissen wird das Bit ZSTAT gesetzt und die Triggerverarbeitung bleibt bis zur Freigabe durch eines der SPI/BiSS-Kommandos RESCNT oder CLRZ gesperrt. Die beiden Indexpunkte müssen mindestens um zwei Perioden der Eingangssignale voneinander abweichen. Der Berechnung der Absolutposition des Sensors aus allen weiterhin gelesenen Zählwerten erfolgt durch die Auswertesoftware. Siehe dazu auch Abschnitt 11.5 und Abbildung 50.

## 7.8 Messwertregister POSIT, CNT, MVAL und STAT

Die interpolierten Zählwerte, die Positionswerte, die per Trigger gehaltenen Positionswerte sowie die Sensorüberwachungsinformationen sind über die seriellen Schnittstellen aus verschiedenen Registern lesbar. Folgende Tabelle zeigt eine Übersicht, welche Register für verschiedene Anwendungen und Schnittstellen verwendet werden können. Für die Schnittstelle BiSS wird dabei zwischen Registerdaten (langsame Kommunikation) und Single-Cycle-Daten (SCD; schnelle Kommunikation) unterschieden. Programmabläufe dazu sind in Abschnitt 11.3 beschrieben.

Tabelle 25: Positionsregister

	SPI	SSI	BiSS
Register CNT1 / CNT2	Interpolationszähler 30 Bit Indexpunktstatus 1 Bit Fehlerstatus 1 Bit	-	Interpolationszähler 30 Bit Indexpunktstatus 1 Bit Fehlerstatus 1 Bit
Register POSIT	Siehe Tabelle 27 Fehlerstatus 2 Bit	-	SCD verwenden
Register MVAL	Register MVAL lt. Tabelle 28 Fehlerstatus 1 Bit Triggerstatus 1 Bit	-	-
Register STAT	Fehlerstatus 19 Bit Triggerstatus 3 Bit Indexpunktstatus 2 Bit	-	Fehlerstatus 19 Bit Triggerstatus 3 Bit Indexpunktstatus 2 Bit
SCD (BiSS) / SSI-Daten <sup>1)</sup>	-	Siehe Tabelle 26 Fehlerstatus 2 Bit	Siehe Tabelle 26 Fehlerstatus 2 Bit 2 MSB: 00

<sup>1)</sup> Diese Daten können durch einen extern angeschlossenen Mikrocontroller manipuliert werden → Abschnitt 8.4

Das Datenformat und die Art der Positionsdaten (Register POSIT) wird im Register CFGBISS mit den Bits STBIT, STSEL und GRAY festgelegt. Die Konfigurationsbits STBIT(4:0) stellen die Anzahl der maximal gültigen Bits (LSB) innerhalb des Singleturnzählers ein. Ungültige MSB werden mit '0' aufgefüllt. Die Kodierung des Wertes wird mittels des Bits GRAY zwischen Graycode und Binärcode umgeschaltet. Mittels STSEL wird die Art der Positionsdaten (Noniuswert oder Interpolationszählwert) festgelegt.

Tabelle 26: Positionsdaten SSI/BiSS/SPI

STSEL	Positionsdaten SSI <sup>1)</sup>	Positionsdaten BiSS	Positionsdaten SPI
00	30 Bit Position / 8-30 Bit Auflösung 1 Bit Fehler / 1 Bit Warnung	32 Bit Position / 8-30 Bit Auflösung 1 Bit Fehler / 1 Bit Warnung	30 Bit Position / 8-30 Bit Auflösung 1 Bit Fehler / 1 Bit Warnung
01	30 Bit Zählwert Kanal 1 / 8-30 Bit Auflösung 1 Bit Fehler / 1 Bit Warnung	32 Bit Zählwert Kanal 1 / 8-30 Bit Auflösung 1 Bit Fehler / 1 Bit Warnung	30 Bit Zählwert Kanal 1 / 8-30 Bit Auflösung 1 Bit Fehler / 1 Bit Warnung
10	30 Bit Zählwert Kanal 2 / 8-30 Bit Auflösung 1 Bit Fehler / 1 Bit Warnung	32 Bit Zählwert Kanal 2 / 8-30 Bit Auflösung 1 Bit Fehler / 1 Bit Warnung	30 Bit Zählwert Kanal 2 / 8-30 Bit Auflösung 1 Bit Fehler / 1 Bit Warnung
11	2 Bit ungenutzt 14 Bit Zählwert Kanal 1 14 Bit Zählwert Kanal 2 1 Bit Fehler / 1 Bit Warnung	2 Bit ungenutzt 15 Bit Zählwert Kanal 1 15 Bit Zählwert Kanal 2 1 Bit Fehler / 1 Bit Warnung	2 Bit ungenutzt 14 Bit Zählwert Kanal 1 14 Bit Zählwert Kanal 2 1 Bit Fehler / 1 Bit Warnung

1) Die Länge der SSI-Daten ist abhängig vom Bit CFGBISS/SSI20 (32 oder 20 Bit)

Tabelle 27: Konfiguration Positionsdaten Register POSIT(31:0)

STSEL	Register POSIT		
00	Noniusposition (max. 30Bit)	ERROR (1Bit)	WARNUNG(1Bit)
01	Interpolationszähler 1 (max. 30Bit)	ERROR (1Bit)	WARNUNG(1Bit)
10	Interpolationszähler 2 (max. 30Bit)	ERROR (1Bit)	WARNUNG(1Bit)
11	Interpolationszähler 2 (15Bit)	Interpolationszähler 1 (15Bit)	ERROR (1Bit) WARNUNG(1Bit)

Tabelle 28: Konfiguration Positionsdaten Register MVAL(31:0)

STSEL	Register MVAL		
00	Noniusposition (max. 30Bit)	Triggerstatus (1Bit)	ERROR(1Bit)
01	Interpolationszähler 1 (max. 30Bit)	Triggerstatus (1Bit)	ERROR(1Bit)
10	Interpolationszähler 2 (max. 30Bit)	Triggerstatus (1Bit)	ERROR(1Bit)
11	Interpolationszähler 2 (15Bit)	Interpolationszähler 1 (15Bit)	Triggerstatus (1Bit) ERROR(1Bit)

Falls Bit 1 (Triggerstatus) gesetzt ist, enthält das Register einen per Trigger gespeicherten Positionswert, anderenfalls den aktuellen Inhalt des POSIT-Registers. → Abschnitt 7.7

## 7.9 Richtungsumschaltung (Pin DIR)

Mit dem Konfigurationsspin CFGDIR kann die Richtung zur Bestimmung der Noniusposition umgeschaltet werden. Das Pin wirkt nicht auf die Zählrichtung der Interpolationszähler oder A/B-Ausgänge.

## 7.10 Zähler-Preset / Nonius-Offset / SPI-Kommandos / Steuersignale

Der Werte im integrierten Zähler sowie die Noniusposition oder die Referenzpunktposition können voreingestellt werden. Dazu enthält der GC-NIP Register zum Halten der einzustellenden Werte sowie ein Nonius-Offset-Register. Damit ist eine anwendungsspezifische Nullposition unabhängig von Referenzmarken konfigurierbar. In Verbindung mit dem integrierten EEPROM kann diese Nullposition auch dauerhaft gespeichert werden. Zusätzlich dazu sind SPI-Kommandos und Signale zum Lesen und Speichern der Konfiguration sowie zur Beeinflussung von Regler und Zähler implementiert:

Tabelle 29: Kommandos

Kommando / Signal	Aktion
Referenzsignal (an REFP/REFN)	Zähler-Reset auf 0
Reset SPI/BiSS-Befehl RESIC <sup>1)</sup>	Die PREST-Register, Reglerwerte und das NONOFFS-Register werden aus EEPROM geladen. Der Inhalt der PREST-Register wird in die Zähler übertragen.
Reset SPI/BiSS-Befehl RESIC <sup>2)</sup>	Die PREST-Register und das NONOFFS-Register bleiben unverändert. Der Inhalt der PREST-Register wird in die Zähler übertragen.
SPI/BiSS-Befehl RESCNT	Die PREST-Register werden in die Zähler übernommen.
SPI/BiSS-Befehl RESCTL	Die Regler werden in die Mitte gestellt.
SPI/BiSS-Befehl WCFG	Die PREST-Register und die Reglerwerte werden in den EEPROM geschrieben.
SPI/BiSS-Befehl PRESET	Bei gesetztem Bit CFG2/PREENA erfolgt eine Neuberechnung des Offsetwertes aus dem Presetwert PREST2 und die Übertragung des neuen Offsetwertes (NONOFFS) in den EEPROM.
Fallende Flanke am PRESET-Signal	CFG3/NOSEL = 0 Die PREST-Register werden in die Zähler übernommen. Bei gesetztem Bit CFG2/PREENA erfolgt eine Neuberechnung des Offsetwertes aus dem Presetwert PREST2 und die Übertragung des neuen Offsetwertes (NONOFFS) in den EEPROM. CFG3/NOSEL = 1 Bei gesetztem Bit CFG2/PREENA werden die aktuellen Winkelwerte beider Kanäle in das Register NONOFFS übernommen. Die Werte in NONOFFS bestimmen die Referenzpunktposition (siehe Registerbeschreibung und Kapitel 7.6.3)

<sup>1)</sup> falls EEPROM aktiv, siehe Abschnitt 6.1 <sup>2)</sup> falls EEPROM nicht aktiv, siehe Abschnitt 6.1

Das Steuersignal PRESET wird im IC entprellt. Die Funktion wird an der fallenden Flanke des Signals ausgelöst, danach werden für die Zeit von  $t_{\text{debounce}}$  keine Signaländerungen beachtet. Für eine Taktfrequenz  $f_{\text{OSZ}}$  von 26 MHz beträgt diese Zeit  $t_{\text{debounce}}$  ca. 60 ms. Die Funktionalität des Pins PRESET wird bestimmt durch das Bit CFG2/PREENA. Weiterhin erfolgt mittels Bit CFG3/NOSEL die Auswahl zwischen Konfiguration des Offsetwertes für die Noniusposition (NOSEL = 0) oder Einstellung der Referenzpunktposition (NOSEL = 1).

### 7.10.1 Nonius-Offset

Wenn CFG3/NOSEL mit 0 initialisiert wird, enthält das Register NONOFFS den Offsetwert für die Noniusberechnung. Der Inhalt des POSIT-Registers ergibt sich dann aus der aktuellen, physikalischen Noniusposition und dem Offsetwert (siehe Tabelle 31). Mittels Preset-Impuls kann der Inhalt des NONOFFS-Registers aus der aktuellen Position und dem Inhalt des PREST2-Registers neu berechnet werden. Der Inhalt des PREST2-Registers entspricht der Wunschposition (Register POSIT) zum Zeitpunkt des PRESET-Signals (siehe Tabelle 30 und Tabelle 31).

Tabelle 30: PRESET-Pin

CFG2/PREENA = 0	CFG2/PREENA = 1
Das PREST1-Register wird in das Interpolationszähler-Register CNT1 übertragen.	Das PREST1-Register wird in das Interpolationszähler-Register CNT1 übertragen.
Das PREST2-Register wird in das Interpolationszähler-Register CNT2 übertragen.	Das PREST2-Register wird in das Interpolationszähler-Register CNT2 übertragen.
	Neuberechnung des Offsetwertes aus aktueller Position und Inhalt des PREST2-Registers
	Übertragung des neuen Offsetwertes (NONOFFS) in den EEPROM.

Folgender Zusammenhang gilt zwischen den Registern PREST2, POSIT (Noniuswert) und NONOFFS:

Tabelle 31: Noniusoffset

Messung	Preset-Funktion
POSIT = Nonius(PHI1, PHI2, CFGDIR) + NONOFFS	NONOFFS (neu) = PREST2 - Nonius(PHI1, PHI2, CFGDIR) POSIT = Nonius(PHI1, PHI2, CFGDIR) + NONOFFS (neu) = PREST2



### 7.10.2 Konfiguration Referenzpunktposition

Ist das Bit CFG3/NOSEL gesetzt (= 1), wird mittels Preset-Impuls die aktuelle Winkelposition als Position des Referenzpunktes abgespeichert. Damit kann die Nullposition von Zähler und ABZ an den aktuellen Phasenwinkel innerhalb der Sinusperiode gesetzt werden (siehe Abbildung 14 und Tabelle 32).

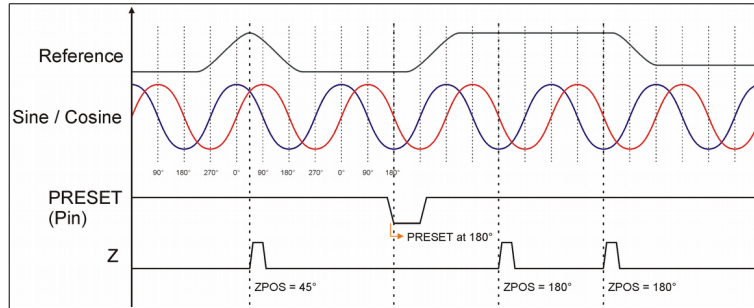


Abbildung 14: Abgleich Referenzposition

Tabelle 32: PRESET-Pin

CFG2/PREENA = 0	CFG2/PREENA = 1
Das PREST1-Register wird in den Interpolationszähler CNT1 übertragen.	Das PREST1-Register wird in den Interpolationszähler CNT1 übertragen.
Das PREST2-Register wird in den Interpolationszähler CNT2 übertragen.	Das PREST2-Register wird in den Interpolationszähler CNT2 übertragen.
Die Werte für die Referenzpunktverschiebung werden aus dem Register NONOFFS geladen.	Die aktuelle Winkelposition von Kanal 1 wird in das Register NONOFFS(15:0) übertragen.
	Die aktuelle Winkelposition von Kanal 2 wird in das Register NONOFFS(31:16) übertragen.
	Übertragung des Registers NONOFFS in den EEPROM.
	Die Werte für die Referenzpunktverschiebung werden aus dem Register NONOFFS geladen.

Da Zähler, Regler und EEPROM von mehreren Quellen beeinflusst werden, gelten folgende Hinweise:

- Das PRESET-Signal wird unterdrückt, falls ein EEPROM-Zugriff aktiv ist.
- Der Befehl RESCNT wird unterdrückt, falls ein EEPROM-Zugriff aktiv ist.
- Der Befehl WCFCG wird unterdrückt, falls ein EEPROM-Zugriff aktiv ist.
- Falls das PRESET-Signal aktiv ist, während per SPI/BiSS das PREST1- oder PREST2-Register geschrieben wird, können fehlerhafte Werte in die Zähler übertragen werden.
- Falls das PRESET-Signal aktiv ist bzw. bis zu 40 ms vorher aktiv war, darf per SPI/BiSS das NONOFFS-Register nicht geschrieben werden, sonst können fehlerhafte Werte in den EEPROM gelangen.
- Für die Verwendung des Befehls WCFCG und des PRESET-Signals ist die Anzahl der maximalen Schreibzyklen des EEPROM zu beachten.

## 7.11 Stromsparfunktionen

Es ist möglich, einige Teile des GC-NIP zu deaktivieren.

Tabelle 33: Stromsparfunktionen

Konfigurationsbit	Auswirkung	Typ. Anwendung
CFG2/DISMON = 1	Die Pins SMON1, SMON2, CMON1 und CMON2 sind inaktiv	Analoger Abgleich des Sensors ist beendet. Die Pins werden zum Betrieb des GC-NIP nicht benötigt.
CFG2/DISV0 = 1	Die Pins V01, V02 sind inaktiv	Die interne Mittenspannungen des GC-NIP werden für den Sensor nicht benötigt, z.B. für Messbrücken.
CFG3/DISCH2 = 01	ABZ-Ausgänge <sup>1)</sup> und Zählwert von Kanal 2 werden nicht berechnet. Der Phasenwinkel wird berechnet.	GC-NIP zur Noniusberechnung.
CFG3/DISCH2 = 11	Nonius, Phasenwinkel, ABZ-Ausgänge <sup>1)</sup> und Zählwert von Kanal 2 werden nicht berechnet.	GC-NIP als Einkanalinterpolator.
CFG3/DISZ1 = 1	Das Indexsignal (Referenzpunkt) von Kanal 1 wird nicht ausgewertet	GC-NIP zur Noniusberechnung oder GC-NIP als Interpolator an Maßverkörperungen ohne Indexpunkt.
CFG3/DISZ2 = 1	Das Indexsignal (Referenzpunkt) von Kanal 2 wird nicht ausgewertet	GC-NIP zur Noniusberechnung. GC-NIP als Interpolator an Maßverkörperungen ohne Indexpunkt. GC-NIP als Einkanalinterpolator.

<sup>1)</sup> Die De-/Aktivierung der ABZ-Ausgänge wird erst nach Reset des Schaltkreises übernommen.

### 7.12 Signallaufzeit

Die analoge Laufzeit des Eingangssignals durch die Instrumentationsverstärker des *GC-NIP* wird durch die gewählte Verstärkung und durch die eingestellte Grenzfrequenz des Rauschfilters bestimmt. Folgende Tabelle gibt Richtwerte für ausgewählte Konfigurationen an.

Tabelle 34: Laufzeit analog ( $t_{dANA}$ )

Konfiguration	Min	Typ.	Max
CFG1/CFGAF = 00 (150 kHz)	720 ns	800 ns	880 ns
CFG1/CFGAF = 01 (75 kHz)	1,0 $\mu$ s	1,2 $\mu$ s	1,4 $\mu$ s
CFG1/CFGAF = 10 (10 kHz)	2,1 $\mu$ s	2,4 $\mu$ s	2,7 $\mu$ s
CFG1/CFGAF = 11 (inaktiv) CFG1/CVGGAIN = 00	70 ns	100 ns	120 ns
CFG2/LP CFGAF = 11 (inaktiv) CFG1/CVGGAIN = 11	70 ns	130 ns	180 ns

Die Verzögerungszeit zwischen Abtastzeitpunkt und Messergebnis in den Registern MVAL, POSIT oder CNT1, CNT2 sowie an den Pins ABZ ist abhängig von der gewählten Betriebsart:

Tabelle 35: Laufzeit digital ( $t_{dDIG}$ )

Modus	Konfiguration	Register CNT1/2	Register POSIT	ABZ
Nonius	CFG1/Mode = X000 CFGBiSS/STSEL = 00	112 Takte $f_{OSZ}$ 4.3 $\mu$ s @ $f_{OSZ} = 26$ MHz	181 Takte $f_{OSZ}$ 7 $\mu$ s @ $f_{OSZ} = 26$ MHz	208 Takte $f_{OSZ}$ 8 $\mu$ s @ $f_{OSZ} = 26$ MHz
Zweikanal	CFG1/Mode = X000 CFGBiSS/ STSEL $\neq$ 00	112 Takte $f_{OSZ}$ 4.3 $\mu$ s @ $f_{OSZ} = 26$ MHz	115 Takte $f_{OSZ}$ 4.4 $\mu$ s @ $f_{OSZ} = 26$ MHz	208 Takte $f_{OSZ}$ 8 $\mu$ s @ $f_{OSZ} = 26$ MHz

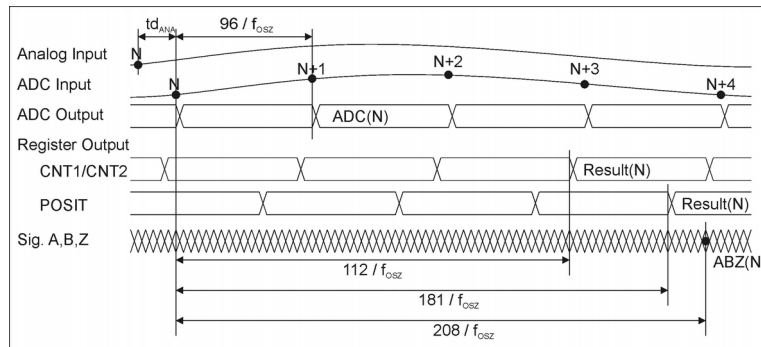


Abbildung 15: Signallaufzeit

ⓘ Es ist zu beachten, dass die konstante Verzögerungszeit des IC dazu führt, dass sich eine frequenzabhängige Phasenverschiebung zwischen den analogen Eingangssignalen und den Ausgangssignalen von  $\varphi = 2\pi \cdot f \cdot t_d$  ergibt. In den folgenden Abbildungen ist dieses Verhalten am Beispiel des Ausgangssignals Z für zwei verschiedene Eingangsfrequenzen dargestellt. Die Rechtecksignale A und B verhalten sich äquivalent.

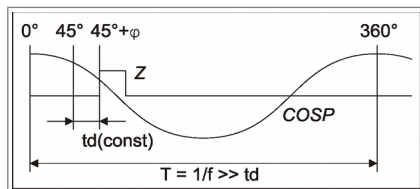


Abbildung 16: Konstante Verzögerungszeit

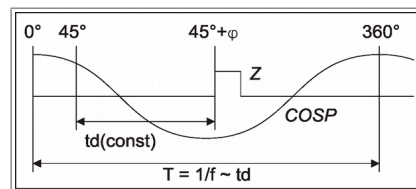


Abbildung 17: Konstante Verzögerungszeit

# 8 Digitale Schnittstellen

## 8.1 Serielle Schnittstelle SPI

Die serielle Schnittstelle SPI wird aktiviert, wenn während des Rücksetzens des IC der Eingang SEN auf H-Pegel gehalten wird. Der GC-NIP arbeitet im Slave-Modus, d.h. er kann von selbst keine Kommunikation starten. Es ist möglich, bis zu 16 IC an einem einzigen Schnittstellenbus zu betreiben. Die Schnittstelle ist kompatibel zu den wichtigsten Mikrocontroller-Familien im SPI-Modus 0 (16 Bit Daten, MSB first, SCK-Default Low, Sampling mit steigender Taktflanke).

### 8.1.1 Signale

Signal	Bedeutung	Richtung
SCK	Takt Mit steigender Flanke an SCK werden die Daten an MOSI vom IC übernommen Mit fallender Flanke an SCK werden die Daten an MISO vom IC geändert	IN
SEN	Freigabe Low: Schnittstelle ist freigegeben High: Schnittstelle ist gesperrt, MISO wird hochohmig oder nWAIT Steigende Flanke: Befehl wird ausgeführt	IN
MOSI	Master-OUT / Slave-IN Dateneingang	IN
MISO/nWAIT	Master-IN / Slave-OUT Datenausgang und Statussignal Achtung! Am Pin wird ein Pull-Up Widerstand benötigt!	OUT (Tristate-fähig)

Während des Resetvorganges des IC und in der Wartezeit eines synchronen SPI-Lesebefehls wird die MISO-Leitung auf L-Pegel gehalten (Bedeutung nWAIT).

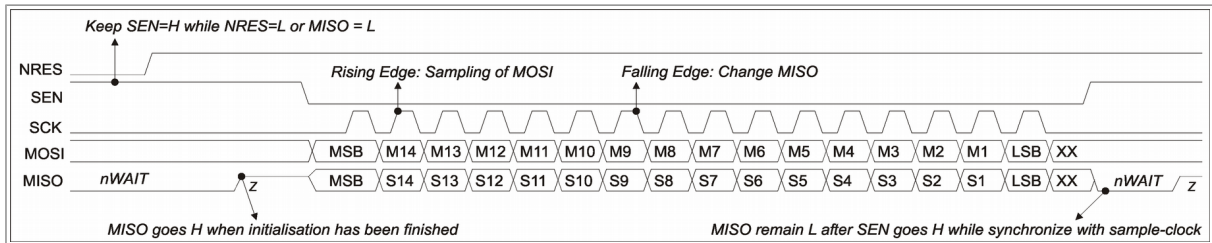


Abbildung 18: SPI-Übertragung (1)

### 8.1.2 Protokoll

OP-Code	Beschreibung	Bit am Signal MOSI															
		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
		OPC				HWA				DATA							
WRA	Schreibe Adresse	1	0	0	nB	H3	H2	H1	H0	A7	A6	A5	A4	A3	A2	A1	A0
WRD	Schreibe Daten	1	0	1	nB	H3	H2	H1	H0	D7	D6	D5	D4	D3	D2	D1	D0
RD0/ST	Lese Bytes 0+1 (2 LSB)	1	1	0	X	H3	H2	H1	H0	A7	A6	A5	A4	A3	A2	A1 <sup>1)</sup>	0
RD1	Lese Bytes 2+3 (2 MSB)	1	1	1	X	X	X	X	X	X	X	X	X	X	X	X	X
NOP	Ausgabe des Leseregisters	0	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

H(3:0): Hardware-Adresse, Default: '0000', Wird nicht ausgewertet, wenn nB = 0  
 A(7:0): Register-Adresse innerhalb eines IC  
 D(7:0): Datenwort / Schreibdaten (Lesedaten erscheinen an MISO)  
 nB: Broadcast (L-aktiv) 0: Befehl an alle IC 1: Befehl an den durch H(3:0) adressierten IC

**Default-OP-Codes**

WRA = 0x8000+Adresse WRD = 0xA000+Daten  
 RD0 = 0xC000+Adresse RD1 = 0xE000  
 NOP = 0x0000

\*) Einige Register erlauben 16-Bit Lesezugriffe. Zum Lesen der meisten Register muss A1 für den OP-Code RD0 auf 0 gestellt sein.

Jeder Datentransfer wird durch das Senden eines SPI-Wortes durch den Host-Prozessor eingeleitet. Ein SPI-Wort besteht aus 4 Bit OP-Code, 4 Bit Hardware-Adresse und bis zu 8 Bit Daten. OP-Codes werden nur akzeptiert, wenn die gesendete Hardwareadresse mit der gespeicherten Hardwareadresse des GC-NIP übereinstimmt. Nach einem Reset besitzt der IC die Hardwareadresse '0000'. Mit Hilfe des Kommandos `SETHWA` (siehe Abschnitt 9, Register `CMD`) können die Pegel an `HWA<3:0>` als neue Hardwareadresse in den IC übernommen werden. OP-Codes zum Lesen eines Registers führen im nächstfolgenden SPI-Zugriff zur Datenausgabe an `MISO`, unabhängig von der Hardwareadresse im neuen SPI-Wort.

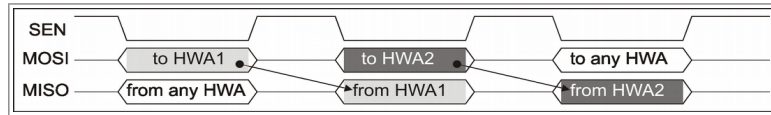


Abbildung 19: SPI-Übertragung (2)

### 8.1.3 Registerzugriff

Der Zugriff auf die Register im GC-NIP erfolgt 8 Bit schreibend und 16 Bit lesend. Die Register des IC sind 32 Bit organisiert. Aus diesem Grund ist im IC für Lesezugriffe ein 32 Bit Haltereister implementiert. Zu lesende Daten werden mit dem SPI-Wort `RD0/ST` in dieses Haltereister übernommen. Die Datenausgabe der beiden niederwertigsten Byte an `MISO` geschieht während des nächsten SPI-Zyklus (siehe Abbildung 21). Die Datenausgabe der beiden höherwertigsten Byte an `MISO` geschieht im SPI-Zyklus, welcher dem SPI-Wort `RD1` an `MOSI` nachfolgt. In der Regel werden zum Lesen eines 32-Bit-Registers die Befehle `RD0/ST`, `RD1` und `NOP` hintereinander ausgeführt. Zum Lesen mehrerer Register in Folge kann die Sequenz: `RD0 - RD1 - RD0 - RD1...` verwendet werden (siehe Abbildung 23). Zum Schreiben eines Registers wird als erstes mit dem SPI-Wort `WRA` die Registeradresse eingestellt. Danach kann das Register mittels `WRD` beschrieben werden. Das Schreiben eines 32 Bit Registers geschieht byteweise (siehe Abbildung 22).



Abbildung 20: SPI Schreiben 8Bit



Abbildung 21: SPI Lesen 32 Bit

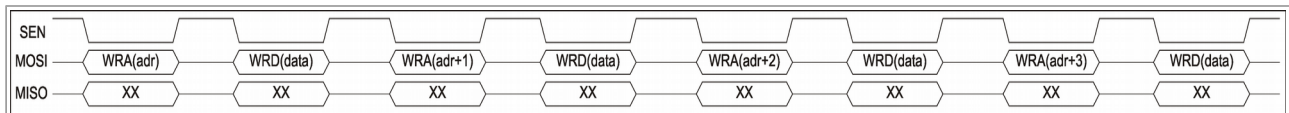


Abbildung 22: SPI Schreiben 32Bit

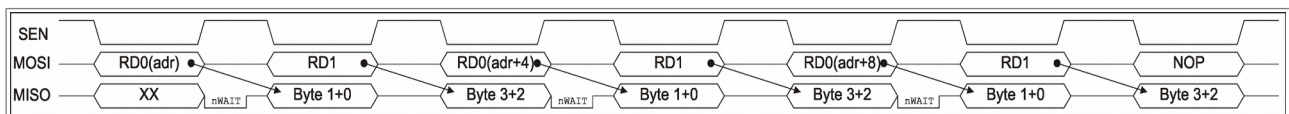


Abbildung 23: SPI Lesen 3 x 32 Bit

### 8.1.4 SPI - Synchron / Asynchron

Beim Lesen eines Registers geschieht die Datenübernahme der 32 Bit Registerdaten in das Haltereister synchron zum internen Ablauf des IC. Mit Hilfe des Wertes `SYNC` im Register `CFG2` kann der Zeitpunkt relativ zum Abtastzeitpunkt der ADC verschoben werden. Dadurch ist es möglich, äquidistante Messungen mit geringer Totzeit durchzuführen. Der Ausgang `MISO` ist während der Wartezeit (`nWAIT`) zur Synchronisation Low. Falls das Bit `ASYN` im Register `CFG2` gesetzt ist (Asynchronbetrieb), werden die Daten sofort nach steigender Flanke am Signal `SEN` gespeichert. Der zeitliche Bezug zur Abtastung der Analogsignale geht verloren. Dadurch werden allerdings höhere Übertragungsgeschwindigkeiten erreicht.

ⓘ Für das Lesen der Register `IP11`, `IP12`, `IP21`, `IP22`, `Nonius` oder zum Lesen von `SPI-Page 1` muss ein Wert von 64 (dez) für `SYNC(6:0)` verwendet werden.



## 8.2 BiSS-Schnittstelle

Die BiSS-Schnittstelle im Modus BiSS-C des GC-NIP wird aktiviert, wenn während des Rücksetzens des IC der Eingang SEN auf L-Pegel gehalten wird und das Bit SSI im Register CFGBISS rückgesetzt ist. Zu beachten ist hierbei, dass während der Initialisierungsphase des IC die Pegel an den Leitungen HWA(3:0) als die 4 LSB der BiSS-Seriennummer eingelesen werden. Damit ist der Betrieb mehrerer IC an einem Bus ohne zusätzlichen Programmieraufwand möglich. Zum Betrieb des GC-NIP über BiSS-Schnittstelle muss der EEPROM eine gültige Konfiguration enthalten, da für den Betrieb grundlegende Parameter im EEPROM enthalten sind. Die Bits BISSTO und READ32 im Register CFGBISS werden zum Betrieb der Schnittstelle anhand der Systemparameter durch den Anwender im EEPROM initialisiert.

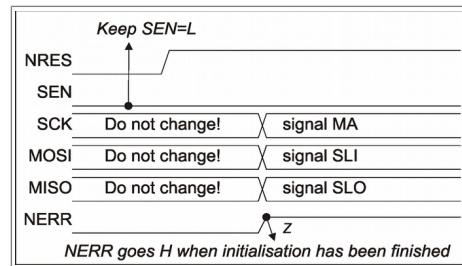


Abbildung 24: Initialisierung BiSS-Hardware

In den Single-Cycle-Daten des BiSS-Protokolls wird das Register POSIT (siehe Abschnitt 7.8) mit einer Datenlänge von insgesamt 40 Bit übertragen. Darin enthalten sind der Positionswert (32 Bit; siehe Tabelle 26) sowie zwei Bit Fehlerinformation (Error/Warning) und die CRC-Checksumme (Polynom 0x43, 6 Bit, invertiert).

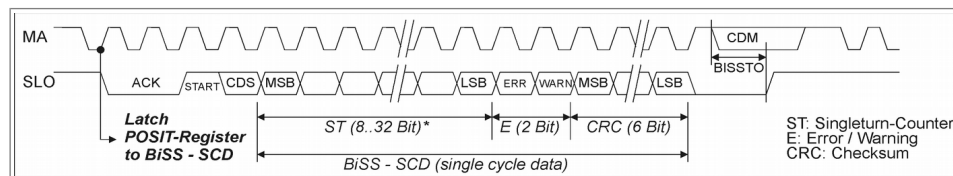


Abbildung 25: BiSS SCD (Single Cycle Data)

Per BiSS-Registerzugriff sind alle weiteren Register des IC erreichbar. Beim Lesen von 32-Bit-Datenregistern muss das Bit READ32 im Register CFGBISS gesetzt sein. Register-Lesezugriffe über BiSS erfolgen dann im 32 Bit-Format. Es müssen immer 4 aufeinanderfolgende Adressen beginnend mit der niederwertigsten (durch 4 teilbaren) Adresse vom BiSS-Master gelesen werden. Die Hinweise zur Einstellung der Bits SYNC(6:0) im Register CFG2 müssen ebenfalls beachtet werden (siehe 8.1.4).

Tabelle 36: Register CFGBISS (BiSS-Mode)

Bit	Bedeutung	Herstellerkonfiguration	Anwenderkonfiguration
BISSTO	BiSS-Timeout	19,7µs bei 26 MHz	$BISSTO = \log_2(\text{Timeout} \cdot f_{osz})$
READ32	Datenformat Lesezugriffe	Lesen von Konfigurationsregistern	Lesen von Daten- und/oder Konfigurationsregistern

Tabelle 37: Voreinstellung BiSS-Register

Register	Herstellerkonfiguration	Anwenderkonfiguration
BiSS-Seriennummer	MSB: 0 LSB: Pegel an HWA(3:0)	MSB: Eindeutige Seriennummer LSB: Pegel an HWA(3:0)
BiSS-Herstellererkennung	0x47 0x43 („GC“)	Eigene Herstellererkennung
BiSS-Geräteerkennung	0x32 0x03 0x00 0x00	Eigene Geräteerkennung
BiSS-Profil + Electronic data sheet (EDS)	unbenutzt	Eigenes Geräteprofil

Alle weiteren Beschreibungen zum BiSS-Interface, wie Signalverläufe, Registerbeschreibungen sowie Informationen zum EDS (Electronic data sheet) sind über [www.biss-interface.com](http://www.biss-interface.com) zu erhalten.



### 8.3 SSI-Schnittstelle

Die SSI-Schnittstelle des GC-NIP wird aktiviert, wenn während des Rücksetzens des IC der Eingang SEN auf L-Pegel gehalten wird und das Bit SSI im Register CFGBISS gesetzt ist. Zum Betrieb des GC-NIP über SSI-Schnittstelle muss der EEPROM eine gültige Konfiguration enthalten, da für den Betrieb grundlegende Parameter im EEPROM enthalten sind. Die Bits SSITO und RING im Register CFGBISS werden zum Betrieb der Schnittstelle anhand der Systemparameter durch den Anwender im EEPROM initialisiert.

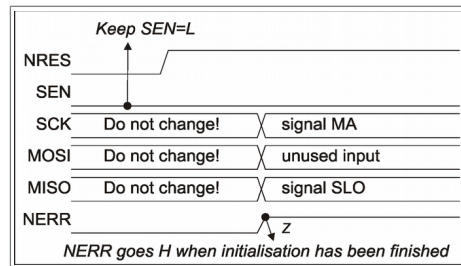


Abbildung 26: Initialisierung SSI-Hardware

In den Daten wird das Register POSIT (siehe Abschnitt 7.8) mit einer Datenlänge von insgesamt 20 oder 32 Bit übertragen. Darin enthalten sind der Positionswert (=Singleturn-Zähler) sowie zwei Bit Fehlerinformation (Error/Warning). Falls das Bit RING im Register CFGBISS gesetzt ist, kann der SSI-Master durch einen kontinuierlichen Takt die wiederholte Datenübertragung des gleichen Wertes erzwingen (SSI-Ringbetrieb).

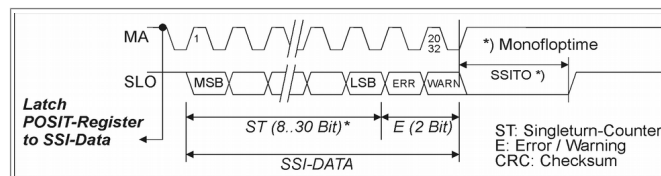


Abbildung 27: SSI

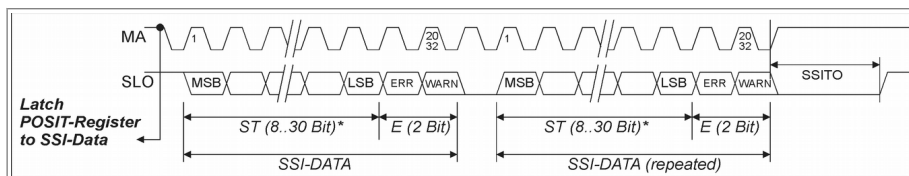


Abbildung 28: SSI (Ringbetrieb)

Tabelle 38: Register CFGBISS (SSI-Mode)

Bit	Bedeutung	Herstellerkonfiguration	Anwenderkonfiguration
SSITO	SSI-Timeout		SSITO = (Timeout·f <sub>osz</sub> )-3
RING	SSI-Ringbetrieb	Ringbetrieb	Betriebsart des SSI-Masters
SSI20	Gesamtlänge der Daten	20 Bit	0 für 32 Bit / 1 für 20 Bit

### 8.4 Simple SPI Master

Falls das Bit CFG1/MODE(3) gesetzt ist, wird auf den ABZ-Pins von Kanal 2 ein SPI-Master aktiviert, welcher die Positionsdaten (Register POSIT) zyklisch sendet. Gleichzeitig werden die Bits 31:0 der BiSS/SSI-Daten aus dem Empfangsregister dieser SPI gebildet. Damit ist es z.B. möglich, Informationen eines batteriegestützten Multiturnzählers in die BiSS/SSI-Daten (Singleturnzähler) einzubringen oder weitere Fehlerinformationen an eine Steuerung zu übertragen. Der angeschlossene Mikrocontroller muss mit einer SPI-Taktfrequenz von  $f_{OSZ}/2$  32 Bit empfangen und senden können. Er wird im SPI-Mode 0 (MSB first, steigende Taktflanke) konfiguriert. Folgende Abbildungen zeigen Datenfluss und die Abläufe im GC-NIP und im Mikrocontroller:

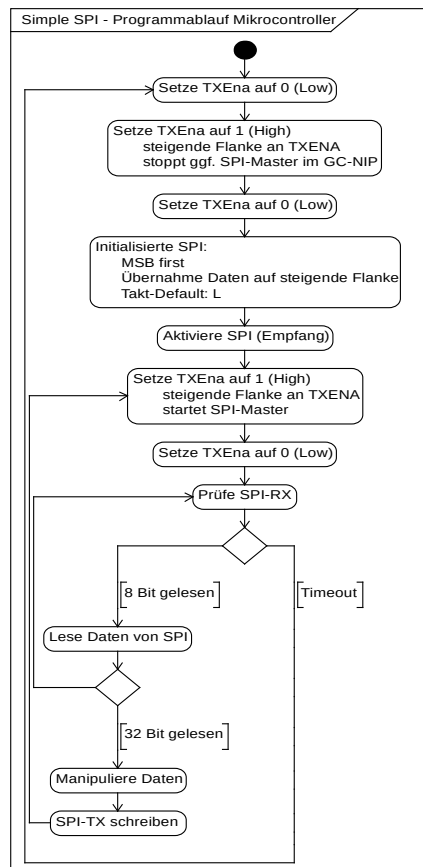


Abbildung 29: Programmablauf Mikrocontroller

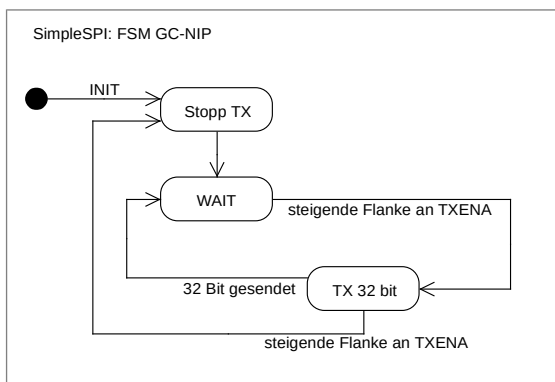


Abbildung 30: Programmablauf GC-NIP

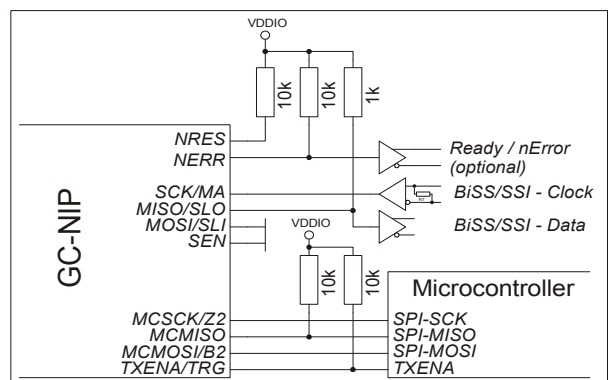


Abbildung 31: Simple SPI Master

## 8.5 EEPROM

Zur permanenten Speicherung der anwenderspezifischen Konfiguration sowie aller für die BiSS-Schnittstelle relevanter Informationen ist im *GC-NIP* ein EEPROM integriert. Nach einem Reset wird getestet, ob der EEPROM-Inhalt freigegeben ist und ausgelesen. Die Freigabe der einzelnen EEPROM-Bereiche erfolgt mit gespeicherten Datenworten von 0x1384 an EEPROM-Adressen 0x00-0x02. Das Schreiben des EEPROM geschieht über eine interne Schnittstelle, auf welche über das Register EEP zugegriffen wird. Das Lesen beliebiger EEPROM-Zellen erfolgt ebenfalls über dieses Register. Zusätzlich können per BiSS-Schnittstelle alle zum BiSS-Betrieb nötigen Informationen sowie das elektronische Datenblatt (EDS) direkt aus dem EEPROM gelesen werden. Adressierung und Datenformat des EEPROM unterscheiden sich zu Adressierung der Register über SPI oder BiSS.

Tabelle 39: Adressierung EEPROM

	Register	EEPROM
Wortbreite Daten	8 Bit	16 Bit
Wortbreite Adresse	8 Bit / 2 Pages	8 Bit / EEPROM-Adresse = Register-Adresse / 2
Endianess (Anwenderregister)	Little Endian	Little Endian bzw. Spezialformate
Endianess (BiSS-Register)	Big Endian	Big Endian

Tabelle 40: Address mapping

Bereich	Verwendung	Adresse SPI	Adresse BiSS	Adresse EEPROM	Format
Anwenderregister	Config	0x00...0x3F (Page 0)	0x00...0x3F (Page 0)	0x00 ... 0x1F	Little Endian
BiSS-Register	BiSS	-	0x40...0x47	0x20 ... 0x23	Big Endian
Anwenderregister	Spezial	0x48...0x77 (Page 0)	0x48...0x77	0x24 ... 0x3B	Little Endian
BiSS-Register	BiSS	-	0x78...0x7F	0x3C ... 0x3F	Big Endian
BiSS EDS-Common	BiSS	-	0x00...0x3F (Page 1)	0x40 ... 0x5F	Big Endian
BiSS EDS-Profil 1	BiSS	-	0x00...0x3F (Page 2)	0x60 ... 0x7F	Big Endian
BiSS EDS-Profil 2	BiSS	-	0x00...0x3F (Page 3)	0xC0 ... 0xDF	Big Endian
Anwenderregister	Koeffizienten	0x40...0x7F (Page 1)	0x00...0x3F (Page 4)	0xA0 ... 0xBF	Little Endian
Anwenderregister	IP-Tabelle	0x80...0xBF (Page 1)	0x00...0x3F (Page 5)	0x80 ... 0x9F	Spezialformat 20 Bit
Anwenderregister	IP-Tabelle (fix)		0x00...0x3F (Page 6)	0xE0 ... 0xFF	Spezialformat 20 Bit
Anwenderregister	Read-Register	0x80...0xBF (Page 0)	0x00...0x3F (Page 7)	-	Little Endian
Page-Register SPI	Page	0xFF (jede Page )	-	-	Byte

Die Abläufe zum Lesen und Schreiben des EEPROM sind in Abschnitt 11.4 beschrieben. Es ist darauf zu achten, dass bei gesetztem EEPBSY-Bit im Register EEP das Register EEP nicht beschrieben werden darf.

## 9 Register

Tabelle 41: Registerüberblick

Register	Zugriff <sup>1)</sup>	Adresse SPI	Biss-Page	Adresse BISS	Adresse EEPROM <sup>2)</sup>	Bemerkungen
IDREV + Status	R	0x00	0	0x00...0x03	0x00...0x01	Gültigkeit Config an 0x00
CFGEEP	!	0x04...0x07		0x04...0x07	0x02...0x03	Gültigkeit Koeffizienten an 0x01
CFG1	RW	0x08...0x0B		0x08...0x0B	0x04...0x05	
CFG2	RW	0x0C...0x0F		0x0C...0x0F	0x06...0x07	
CFG3	RW	0x10...0x13		0x10...0x13	0x08...0x09	
Ungenutzt	RW	0x14...0x17		0x14...0x17	0x0A...0x0B	
Ungenutzt	RW	0x18...0x1B		0x18...0x1B	0x0C...0x0D	
CTRLG1	RW	0x1C...0x1F		0x1C...0x1F	0x0E...0x0F	
CTRLO1	RW	0x20...0x23		0x20...0x23	0x10...0x11	
PREST1	RW	0x24...0x27		0x24...0x27	0x12...0x13	
CTRLG2	RW	0x28...0x2B		0x28...0x2B	0x14...0x15	
CTRLO2	RW	0x2C...0x2F		0x2C...0x2F	0x16...0x17	
PREST2	RW	0x30...0x33		0x30...0x33	0x18...0x19	
NONOFFS	RW	0x34...0x37		0x34...0x37	0x1A...0x1B	EEP ändern bei Preset, nicht WCFCG
CFGBISS	RW	0x38...0x3B		0x38...0x3B	0x1C...0x1D	Nicht bei WCFCG
CFGEMAC	!	0x3C...0x3F		0x3C...0x3F	0x1E...0x1F	Nicht bei WCFCG / Schreibgeschützt
BISS-PAGE	RW	-	-	0x40		SPI-Page
BISS-EDS-Bank	R (EEP)	-		0x41	0x20 (MSB)	
BISS-Profil	R (EEP)	-		0x42...0x43	0x21	
BISS-Seriennummer	R (EEP)	-		0x44...0x47	0x22 ... 0x23	
EEP_DAT	RW	0x48...0x49		0x48...0x49		
EEP_ADR / EEP_STAT	W / R	0x4A		0x4A		
EEP_OPC / EEP_MSB	W	0x4B		0x4B		
CFGTM	RW	0x4C...0x4F		0x4C...0x4F		
CMD (16 Bit)	W	0x50...0x51		0x50...0x52		
TSTCMD (16 Bit)	W	0x52...0x53		0x52...0x53		Schreibgeschützt
Ungenutzt	RW / !	0x54...0x67		0x54...0x67		
Abgleich3	!	0x68...0x6B		0x68...0x6B	0x34...0x35	Schreibgeschützt
Abgleich2	!	0x6C...0x6F		0x6C...0x6F	0x36...0x37	
Abgleich1	!	0x70...0x73		0x70...0x73	0x38...0x39	
Abgleich0	!	0x74...0x77		0x74...0x75	0x3A...0x3B	
BISS-Geräteerkennung	R (EEP)	-		0x78...0x7B	0x3C...0x3D	
BISS-Timeout	RW	-		0x7C...0x7D	0x3E	
BISS-Herstellererkennung	R (EEP)	-		0x7E...0x7F	0x3F	
EDS-Common	R (EEP)	-	1	0x00...0x3F	0x40...0x5F	
EDS-Profil 1	R (EEP)	-	2	0x00...0x3F	0x60...0x7F	
EDS-Profil 2	R (EEP)	-	3	0x00...0x3F	0x80...0x9F	
Koeffizienten	R (SPI1)	0x40...0x7F	4	0x00...0x3F	0xA0...0xBF	
IP-Tabelle	R (SPI1)	0x80...0xBF	5	0x00...0x3F	0xC0...0xDF	
IP-Tabelle (fix)			6	0x00...0x3F	0xE0...0xFF	Schreibgeschützt
MVAL		0x80	7	0x00...0x03		
CNT1		0x84		0x04...0x07		
POSIT		0x88		0x08...0x0B		
ADC1		0x8C		0x0C...0x0F		
CADC1		0x90		0x10...0x13		
IP11		0x94		0x14...0x17		
IP21		0x98		0x18...0x1B		
IP3		0x9C		0x1C...0x1F		
Ungenutzt		0xA0		0x20...0x23		
CNT2		0xA4		0x24...0x27		
Ungenutzt		0xA8		0x28...0x2B		
ADC 2		0xAC		0x2C...0x2F		
CADC2		0xB0		0x30...0x33		
IP12		0xB4		0x34...0x37		
IP22		0xB8		0x38...0x3C		
NONIUS		0xBC		0x3C...0x3F		
SPI-Page = SPI-MSB	RW	0xFF	-	-	-	Auf jeder SPI-Page erreichbar

<sup>1)</sup> R: Nur Lesen (Register 32 Bit) W: Nur Schreiben (Register) RW: Lesen/Schreiben (Register) R (EEP): Nur Lesen (EEPROM über BiSS)  
<sup>2)</sup> R (SPI): Nur Lesen über SPI-Page 1 !: Herstellerregister. Darf/kann nicht geändert werden!

<sup>2)</sup> Die EEPROM Adresse gilt bei Lesen/Schreiben des EEPROM über das interne Interface (Register EEPROM).

**Dunkelgrau:** Register wird während Reset aus EEPROM geladen

**blau:** BiSS-Information, direkt aus EEPROM lesbar

**weiß:** EEPROM enthält Gültigkeitskennungen 0x134A

<b>CNT1</b>	<b>Zählwert (Interpolationszähler) Kanal 1</b>
<b>CNT2</b>	<b>Zählwert (Interpolationszähler) Kanal 2</b>

31:2	1	0
CNT	ZSTAT	ERR

Bit	Name	Reset-Wert	Format	Wert	Bedeutung
31:2	CNT	0x0000	Signed		Zählwert
1	ZSTAT	0	Bit	0	Referenzmarke des Maßstabes wurde noch nicht überfahren oder Bezug von Zählwert und Referenzmarke ging aufgrund eines Fehlers verloren.
				1	Referenzmarke des Maßstabes wurde überfahren; <i>GC-NIP</i> und inkrementeller Maßstab arbeiten synchron.
0	ERR	0	Bit	0	Messwert ist gültig
				1	Ein Fehler ist aufgetreten. Der aktuelle Messwert und alle nachfolgenden Werte sind zu verwerfen. Nach Beseitigung der Fehlerursache und dem Rücksetzen der Fehlerbits (SPI-Befehl: RESCNT oder Impuls an PRESET) ist für Messung unter Verwendung des Referenzsignals ein erneutes Überfahren des Referenzpunktes notwendig!

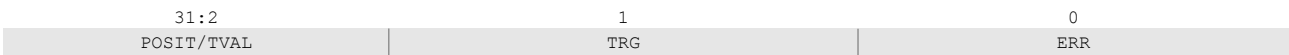
<b>POSIT</b>	<b>Positionsdaten (entspricht BiSS/SSI-SCD)</b>
--------------	-------------------------------------------------

31:17	16:2	1	0
NONIUS		ERR	WARN
NT1		ERR	WARN
CNT2		ERR	WARN
CNT2	CNT1	ERR	WARN

Bit	Name	Reset-Wert	Format	Wert	Bedeutung
31:2	NONIUS	0x0000	Unsigned (wahlw. Gray)		CFGBISS/STSEL(1:0) = 00 Durch die Noniusberechnung ermittelte Absolutposition. Das Datenformat wird mittels CFGBISS/GRAY eingestellt.
	CNT1	0x0000	Signed (wahlw. Gray)		CFGBISS/STSEL(1:0) = 01 Zählwert des Interpolationszählers an Kanal 1. Das Datenformat wird mittels CFGBISS/GRAY eingestellt.
	CNT2	0x0000	Signed (wahlw. Gray)		CFGBISS/STSEL(1:0) = 10 Zählwert des Interpolationszählers an Kanal 2. Das Datenformat wird mittels CFGBISS/GRAY eingestellt.
	CNT1 CNT2	0x0000	Signed 15 Bit		CFGBISS/STSEL(1:0) = 11 Zählwert des Interpolationszählers an Kanal 1 und 2. CFGBISS/GRAY sollte 0 sein.
1	ERR	0	Bit	0	Messwert ist gültig
				1	Ein Fehler ist aufgetreten. Der aktuelle Messwert und alle nachfolgenden Werte sind zu verwerfen. Nach Beseitigung der Fehlerursache und dem Rücksetzen der Fehlerbits (SPI-Befehl: RESCNT oder Impuls an PRESET) ist für Messung unter Verwendung des Referenzsignals ein erneutes Überfahren des Referenzpunktes notwendig!
0	WARN	0	Bit	0	Messwert ist gültig
				1	Messwert mit eingeschränkter Genauigkeit

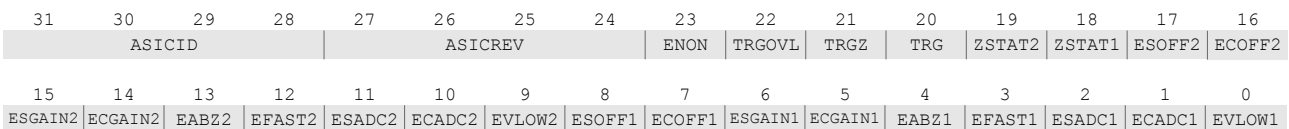


**MVAL Messwert / Triggerwert**



Bit	Name	Reset-Wert	Format	Wert	Bedeutung
31:2	POSIT/TVAL	0x0000	→ POSIT		Messwert; Wert entspricht Register POSIT bzw. dem Inhalt eines Triggerhalterregisters. Durch Lesen des Wertes MVAL wird ggf. ein Triggerhalterregister freigegeben. → Abschnitte 7.7, 7.8
1	TRG	0	Bit	0	Messwert entspricht aktuellem Register POSIT
				1	Messwert entspricht Inhalt eines Triggerhalterregisters
0	ERR	0	Bit	0	Messwert ist gültig
				1	Ein Fehler ist aufgetreten. Der aktuelle Messwert und alle nachfolgenden Werte sind zu verwerfen. Nach Beseitigung der Fehlerursache und dem Rücksetzen der Fehlerbits (SPI-Befehl: RESCNT oder Impuls an PRESET) ist für Messung unter Verwendung des Referenzsignals ein erneutes Überfahren des Referenzpunktes notwendig!

**STAT / ID / REV ASIC Kennung / Status**



Bit	Name	Reset-Wert	Format	Wert	Bedeutung
31:28	ASICID	0011	Binär	0011	Der IC ist ein GC-NIP
27:24	ASICREV	10	Binär		Silizium-Revision des IC
23	ENON	0	Bit	0	Kein Fehler bei Berechnung des Noniuswertes. Noniusergebnis plausibel
				1	Die Folge der berechneten Noniuswerte ist unplausibel. Ursache dafür sind fehlerbehaftete Eingangssignale oder eine ungünstige Kombination der Korrekturkoeffizienten. Es sollte ein erneutes Einmessen des Noniussensors durchgeführt werden.
22	TRGOVL	0	Bit	0	Kein Überlauf Triggerhalterregister
				1	Überlauf Triggerhalterregister; Triggerereignis ging verloren
21	TRGZ	0	Bit	0	Nächster an Adresse MVAL gelesene Messwert wurde nicht vom Referenzsignal getriggert.
				1	Nächster an Adresse MVAL gelesene Messwert wurde vom Referenzsignal getriggert.
20	TRG	0	Bit	0	Nächster an Adresse MVAL gelesene Messwert wurde nicht vom Pin TRG getriggert.
				1	Nächster an Adresse MVAL gelesene Messwert wurde vom Pin TRG getriggert.
19	ZSTAT2	0	Bit	0	Referenzmarke (Kanal 2) des Maßstabes wurde noch nicht überfahren oder Bezug von Zählwert und Referenzmarke ging aufgrund eines Fehlers verloren.
				1	Referenzmarke des Maßstabes wurde überfahren; Zähler und Maßstab arbeiten synchron.
18	ZSTAT1	0	Bit	0	Referenzmarke (Kanal 1) des Maßstabes wurde noch nicht überfahren oder Bezug von Zählwert und Referenzmarke ging aufgrund eines Fehlers verloren.
				1	Referenzmarke des Maßstabes wurde überfahren; Zähler und Maßstab arbeiten synchron.
17	ESOFF2	0	Bit	0	Kein Offsetfehler am Sinussignal Kanal 2
				1	Der Offsetregler für das Sinussignal hat seine Grenze erreicht. Ursache ist ein zu großer Signaloffset, ein ungültiger Wert zur Initialisierung des Reglers, ein teilweiser oder ein vollständiger Sensorabriss.
16	ECOFF2	0	Bit	0	Kein Offsetfehler am Cosinussignal Kanal 2
				1	Der Offsetregler für das Cosinussignal hat seine Grenze erreicht. Ursache ist ein zu großer Signaloffset, ein ungültiger Wert zur Initialisierung des Reglers, ein teilweiser oder ein vollständiger Sensorabriss.
15	ESGAIN2	0	Bit	0	Kein Amplitudenfehler am Sinussignal Kanal 2
				1	Der Verstärkungsregler für das Sinussignal hat seine Grenze erreicht. Ursache ist eine zu kleine Signalamplitude, ein teilweiser oder ein vollständiger Sensorabriss.

Bit	Name	Reset-Wert	Format	Wert	Bedeutung
14	ECGAIN2	0	Bit	0	Kein Amplitudenfehler am Cosinussignal Kanal 2
				1	Der Verstärkungsregler für das Cosinussignal hat seine Grenze erreicht. Ursache ist eine zu kleine Signalamplitude, ein teilweiser oder ein vollständiger Sensorabriss.
13	EABZ2	0	Bit	0	Kein Fehler an A,B,Z Kanal 2
				1	Die Signale A, B und Z sind ungültig. Ursache ist eine zu hohe Eingangsfrequenz. Die überwachte Frequenz ist abhängig vom eingestellten minimalen Flankenabstand $t_{pp}$ . Dieser Fehler tritt auch auf, wenn die Interpolationsrate oder der minimale Flankenabstand geändert wird. Für die Zählerbetriebsart wird die Erkennung dieses Fehlers automatisch deaktiviert.
12	EFAST2	0	Bit	0	Kein Geschwindigkeitsfehler Kanal 2
				1	Die Eingangsfrequenz ist so hoch, dass die A/B-Signale nicht gebildet werden können bzw. keine Richtungserkennung mehr möglich ist. Die überwachte Frequenz unterscheidet sich bei Betrieb mit internem Zähler bzw. bei Verwendung der Rechteckausgänge A,B,Z.
11	ESADC2	0	Bit	0	Kein ADC-Fehler am Sinussignal Kanal 2
				1	Der AD-Wandler für das Sinussignal ist übersteuert. Ursache ist eine zu große Signalamplitude. Für Signale mit sehr großem Offset bei gleichzeitig großer Amplitude kann dieser Fehler ebenfalls auftreten.
10	ECADC2	0	Bit	0	Kein ADC-Fehler am Cosinussignal Kanal 2
				1	Der AD-Wandler für das Cosinussignal ist übersteuert. Ursache ist eine zu große Signalamplitude. Für Signale mit sehr großem Offset bei gleichzeitig großer Amplitude kann dieser Fehler ebenfalls auftreten.
9	EVLOW2	0	Bit	0	Kein Vektorfehler Kanal 2
				1	Der aus Cosinus- und Sinussignal gebildete Signalvektor ist zu klein. Ursache ist meist ein teilweiser bzw. vollständiger Sensorabriss. Für Signale mit sehr großem Offset bei gleichzeitig kleiner Amplitude kann dieser Fehler ebenfalls auftreten.
8	ESOFF1	0	Bit	0	Kein Offsetfehler am Sinussignal Kanal 1
				1	Der Offsetregler für das Sinussignal hat seine Grenze erreicht. Ursache ist ein zu großer Signaloffset, ein ungültiger Wert zur Initialisierung des Reglers, ein teilweiser oder ein vollständiger Sensorabriss.
7	ECOFF1	0	Bit	0	Kein Offsetfehler am Cosinussignal Kanal 1
				1	Der Offsetregler für das Cosinussignal hat seine Grenze erreicht. Ursache ist ein zu großer Signaloffset, ein ungültiger Wert zur Initialisierung des Reglers, ein teilweiser oder ein vollständiger Sensorabriss.
6	ESGAIN1	0	Bit	0	Kein Amplitudenfehler am Sinussignal Kanal 1
				1	Der Verstärkungsregler für das Sinussignal hat seine Grenze erreicht. Ursache ist eine zu kleine Signalamplitude, ein teilweiser oder ein vollständiger Sensorabriss.
5	ECGAIN1	0	Bit	0	Kein Amplitudenfehler am Cosinussignal Kanal 1
				1	Der Verstärkungsregler für das Cosinussignal hat seine Grenze erreicht. Ursache ist eine zu kleine Signalamplitude, ein teilweiser oder ein vollständiger Sensorabriss.
4	EABZ1	0	Bit	0	Kein Fehler an A,B,Z Kanal 1
				1	Die Signale A, B und Z sind ungültig. Ursache ist eine zu hohe Eingangsfrequenz. Die überwachte Frequenz ist abhängig vom eingestellten minimalen Flankenabstand $t_{pp}$ . Dieser Fehler tritt auch auf, wenn die Interpolationsrate oder der minimale Flankenabstand geändert wird. Für die Zählerbetriebsart wird die Erkennung dieses Fehlers automatisch deaktiviert.
3	EFAST1	0	Bit	0	Kein Geschwindigkeitsfehler Kanal 1
				1	Die Eingangsfrequenz ist so hoch, dass die A/B-Signale nicht gebildet werden können bzw. keine Richtungserkennung mehr möglich ist. Die überwachte Frequenz unterscheidet sich bei Betrieb mit internem Zähler bzw. bei Verwendung der Rechteckausgänge A,B,Z.
2	ESADC1	0	Bit	0	Kein ADC-Fehler am Sinussignal Kanal 1
				1	Der AD-Wandler für das Sinussignal ist übersteuert. Ursache ist eine zu große Signalamplitude. Für Signale mit sehr großem Offset bei gleichzeitig großer Amplitude kann dieser Fehler ebenfalls auftreten.
1	ECADC1	0	Bit	0	Kein ADC-Fehler am Cosinussignal Kanal 1
				1	Der AD-Wandler für das Cosinussignal ist übersteuert. Ursache ist eine zu große Signalamplitude. Für Signale mit sehr großem Offset bei gleichzeitig großer Amplitude kann dieser Fehler ebenfalls auftreten.
0	EVLOW1	0	Bit	0	Kein Vektorfehler Kanal 1
				1	Der aus Cosinus- und Sinussignal gebildete Signalvektor ist zu klein. Ursache ist meist ein teilweiser bzw. vollständiger Sensorabriss. Für Signale mit sehr großem Offset bei gleichzeitig kleiner Amplitude kann dieser Fehler ebenfalls auftreten.

CMD		Kommando						
	7	6	5	4	3	2	1	0
	TRGCAL	PRESET	SETHWA	WCFG	RESIC	CLRZ	RESCTL	RESCNT
Bit	Name	Reset-Wert	Format	Wert	Bedeutung			
7	TRGCAL		Bit write-only	1	Die für das Einmessen relevanten Register werden aktualisiert. Die Register werden ebenfalls aktualisiert, wenn der Trigger (Pin TRG) aktiv ist.			
6	PRESET		Bit write-only	1	Es erfolgt eine Neuberechnung des Offsetwertes aus dem Presetwert PREST2 und die Übertragung des neuen Offsetwertes (NONOFFS) in den EEPROM. Das Bit CFG2/PREENA muss dazu gesetzt sein.			
5	SETHWA		Bit write-only	1	Die Pins HWA3, HWA2, HWA1 und HWA0 werden als Hardwareadresse in den IC eingelesen. Falls mehrere IC an einer SPI-Schnittstelle betrieben werden sollen, so muss dieser Befehl als erstes an alle angeschlossenen IC gesendet werden. Wird im BISS-Mode während Initialisierung automatisch ausgeführt, um HWA als LSB der Seriennummer zu übernehmen.			
4	WCFG		Bit write-only	1	Der Inhalt der Register CFG1, CFG2, CFG3, CNTRLG, CNTRLO, PREST1 und PREST2 wird in den EEPROM übertragen.			
3	RESIC		Bit write-only	1	Der IC wird rückgesetzt und erneut konfiguriert.			
2	CLRZ		Bit write-only	1	Das Status-Bit ZSTAT wird rückgesetzt. Für die Referenzpunktmodi „Abgleich ZPOS“ und „Abstandskodiert“ wird eine neue Auswertung gestartet.			
1	RESCTL		Bit write-only	1	Der interne Regler für Verstärkung und Offset wird rückgesetzt, d.h. die Korrekturwerte für Offset und Verstärkung werden in die Mitte ihres Wertebereichs gestellt.			
0	RESCNT		Bit write-only	1	Der Zählwerte (CNT1/CNT2) werden mit dem Inhalt der Registers PREST1/PREST2 geladen. Alle Fehlerflags im Statusregister werden rückgesetzt. Das Status-Bit ZSTAT wird rückgesetzt. Für die Referenzpunktmodi „Abgleich ZPOS“ und „Abstandskodiert“ wird eine neue Auswertung gestartet (siehe Abschnitt 7.7).			

CFG1															Konfiguration 1																
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	TRI	LNON	LOFF	LGAIN	LABZ	LFAST	LADC	LVLOW	HLD	MNON	MOFF	MGAIN	MABZ	MFAST	MADC	MVLOW
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	GAIN		CFGAF		MODE				CFGTPP			TRGSLP	IRMAP	IRD2SEL	IRDIV1	

Bit	Name	Reset-Wert	Format	Wert	Bedeutung
31	TRI	0	Bit	0	Das Verhalten der Signale A,B und Z ist im Fehlerfall durch das Bit HLD bestimmt.
				1	Die Signale A,B und Z sind im Fehlerfall hochohmig.
30	LNON	0	Bit	0	Erkannte Fehler des Nonius (ENON) werden nicht gespeichert.
				1	Erkannte Fehler des Nonius (ENON) werden gespeichert.
29	LOFF	0	Bit	0	Erkannte Offsetfehler (EOFF) werden nicht gespeichert.
				1	Erkannte Offsetfehler (EOFF) werden gespeichert.
28	LGAIN	0	Bit	0	Erkannte Verstärkungsfehler (EGAIN) werden nicht gespeichert.
				1	Erkannte Verstärkungsfehler (EGAIN) werden gespeichert.
27	LABZ	0	Bit	0	Erkannte A/B/Z-Fehler (Geschwindigkeitsfehler) (EABZ) werden nicht gespeichert.
				1	Erkannte A/B/Z-Fehler (Geschwindigkeitsfehler) (EABZ) werden gespeichert.
26	LFAST	0	Bit	0	Erkannte Geschwindigkeitsfehler (EFAST) werden nicht gespeichert.
				1	Erkannte Geschwindigkeitsfehler (EFAST) werden gespeichert.
25	LADC	0	Bit	0	Erkannte ADC-Fehler (EADC) werden nicht gespeichert.
				1	Erkannte ADC-Fehler (EADC) werden gespeichert.
24	LVLOW	0	Bit	0	Erkannte Vektorfehler (ELVLOW) werden nicht gespeichert.
				1	Erkannte Vektorfehler (ELVLOW) werden gespeichert.
23	HLD	1	Bit	0	Das Verhalten der Signale A,B und Z ist im Fehlerfall undefiniert.
				1	Die Signale A,B und Z werden im Fehlerfall nicht geändert.
22	MNON	1	Bit	0	Die Erkennung von Fehlern des Nonius (ENON) ist deaktiviert.
				1	Die Erkennung von Fehlern des Nonius (ENON) ist aktiviert.
21	MOFF	1	Bit	0	Die Erkennung von Offsetfehlern (EOFF) ist deaktiviert.
				1	Die Erkennung von Offsetfehlern (EOFF) ist aktiviert.
20	MGAIN	1	Bit	0	Die Erkennung von Verstärkungsfehlern (EGAIN) ist deaktiviert.
				1	Die Erkennung von Offset Verstärkungsfehlern (EGAIN) ist aktiviert.
19	MABZ	0 (EEP) 1 (Pin)	Bit	0	Die Erkennung von A/B/Z-Fehlern (EABZ) ist deaktiviert; Der IC arbeitet im Zählerbetrieb.
				1	Die Erkennung von A/B/Z-Fehlern (EABZ) ist aktiviert; Der IC arbeitet im Rechteckbetrieb.
18	MFAST	1	Bit	0	Die Erkennung von Geschwindigkeitsfehlern (EFAST) ist deaktiviert.
				1	Die Erkennung von Geschwindigkeitsfehlern (EFAST) ist aktiviert.
17	MADC	1	Bit	0	Die Erkennung von ADC-Fehlern (EADC) ist deaktiviert.
				1	Die Erkennung von ADC-Fehlern (EADC) ist aktiviert.
16	MVLOW	1	Bit	0	Die Erkennung von Vektorfehlern (ELVLOW) ist deaktiviert.
				1	Die Erkennung von Vektorfehlern (ELVLOW) ist aktiviert.
15:14	GAIN	Pins CFGGAIN	binär	00	Signalamplitude nominal 660 mV <sub>pp</sub>
				01	Signalamplitude nominal 250 mV <sub>pp</sub>
				10	Signalamplitude nominal 120 mV <sub>pp</sub>
				11	Signalamplitude nominal 60 mV <sub>pp</sub>
13:12	CFGAF	Pins CFGAF	binär	00	Analoger Tiefpass 150kHz -0.5dB
				01	Analoger Tiefpass 75kHz -1dB
				10	Analoger Tiefpass 10kHz -1dB
				11	Analoger Tiefpass inaktiv
11:8	MODE	0000	binär		Konfiguration Ausgangssignale und Betriebsart lt. Tabelle 19
7:5	CFGTPP	000	binär	TPP	Konfiguration minimaler Flankenabstand $t_{pp}$ Minimaler Flankenabstand $t_{pp} = 2^{TPP} / f_{osz}$
4	TRGSLP	0	Bit	0	Fallende Flanke am Pin TRG löst Messwertübernahme in Triggerhaltereregister aus.
				1	Steigende Flanke am Pin TRG löst Messwertübernahme in Triggerhaltereregister aus.
3	IRMAP	0 (EEP) 1 (Pin)	Bit	0	Basis-Interpolationsrate und Noniusteilung aus EEPROM
				1	Basis-Interpolationsrate 2000, Noniusteilung 125
2	IRD2SEL	0	Bit	0	Der Teilerfaktor der Interpolationsrate für Kanal 2 ist gleich der an Kanal 1.
				1	Der Teilerfaktor der Interpolationsrate für Kanal 2 wird mittels CFG3/IRDIV2 konfiguriert.
1:0	IRDIV1	00	binär	N	Die mittels IRMAP eingestellte Basis-Interpolationsrate wird für ABZ und CNT an Kanal 1 durch $2^N$ geteilt.

**CFG2 Konfiguration 2**

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DISMON	DISV0	PH_2						PREENA	PHBER	PH_1					
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ASYNC	SYNC						ZMODE	Z4	ZPOS						

Bit	Name	Reset-Wert	Format	Wert	Bedeutung
31	DISMON	0	Bit	0	Die Pins SMON1, SMON2, CMON1 und CMON2 sind aktiv.
				1	Die Pins SMON1, SMON2, CMON1 und CMON2 sind inaktiv (Stromsparfunktion).
30	DISV0	0	Bit	0	Die Pins V01, V02, sind aktiv.
				1	Die Pins V01, V02 sind inaktiv (Stromsparfunktion).
29 :24	PH_2	000000	signed	-32	Größte Phasenverschiebung negativ
				PH	Einstellwert des Phasenkorrekturpotentiometers Kanal 2
				+31	Größte Phasenverschiebung positiv
23	PREENA	0	Bit	0	Die Presetfunktion zum Schreiben eines neuen Offsetwertes ist inaktiv.
				1	Die Presetfunktion zum Schreiben eines neuen Offsetwertes ist aktiv.
22	PHBER	0	Bit	0	Der Einstellbereich des Phasenkorrekturpotentiometers beträgt ± 5°. Die Schrittweite beträgt 0.156°.
				1	Der Einstellbereich des Phasenkorrekturpotentiometers beträgt ± 10°. Die Schrittweite beträgt 0.313°.
21 :16	PH_1	000000	signed	-32	Größte Phasenverschiebung negativ
				PH	Einstellwert des Phasenkorrekturpotentiometers Kanal 1
				+31	Größte Phasenverschiebung positiv
15	ASYNC	0	Bit	0	Die zu lesenden Daten werden synchron zum internen Ablauf mit dem SPI-Wort RD0/ST in ein 32-Bit-Halteregister übernommen. Mit dem Wert von SYNC kann der Übernahmezeitpunkt relativ zum Abtastzeitpunkt verschoben werden.
				1	Zu lesende Daten werden asynchron mit dem SPI-Wort RD0/ST in ein 32-Bit-Halteregister übernommen. Der Wert von SYNC wird nicht ausgewertet.
14:8	SYNC	0000000	unsigned		Verschiebung eines SPI-Lesezugriffs relativ zum Abtastzeitpunkt. Für das Lesen der Register IP11, IP12, IP21, IP22, Nonius und zum Lesen von SPI-Page 1 muss ein Wert von 64 (dez) für verwendet werden.
7:6	ZMODE	00	binär	00	Referenzpunktmodus Inkrementell
				01	Referenzpunktmodus Trigger
				10	Referenzpunktmodus Abgleich Z
				11	Referenzpunktmodus Abstandskodiert
5	Z4	0	Bit	0	Breite des Indexsignals Z beträgt ein Inkrement = ¼ Periode
				1	Breite des Indexsignals Z beträgt 4 Inkremente = 1 Periode
4:0	ZPOS	00100 (45°)	unsigned	ZPOS	Konfiguration der analogen Referenzpunktposition bezogen auf das Sinussignal. Position Referenzpunkt = ZPOS · 11.25° Register ist nur gültig für CFG3/NOSEL = 0 (siehe Abschnitt 7.6.3)



CFG3														Konfiguration 3	
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
-	-	-	-	-	-	-	-	-	-	-	-	-	NOSEL	IRDIV2	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DISCH2		MXFEED	MXSHR	ZDEL2	ZDEL	DISZ2	DISZ1	DH			OFFSCTL		GAINCTL	DISCTL	

Bit	Name	Reset-Wert	Format	Wert	Bedeutung
18	NOSEL	0	Bit	0	Das Noniusoffsetregister wird zur Berechnung des Nonius verwendet. Das PRESET-Signal führt zur Bestimmung eines neuen Noniusoffsetwertes.
				1	Das Noniusoffsetregister enthält die Referenzpunktpositionen von Kanal 1 und 2. Das PRESET-Signal führt zur Bestimmung von neuen Referenzpositionen.
17:16	IRDIV2	00	binär	N	Die mittels IRMAP eingestellte Basis-Interpolationsrate wird für ABZ und CNT an Kanal 2 durch 2 <sup>N</sup> geteilt, falls CFG1/IRD2SEL = 1 ist
15:14	DISCH2	00	Bit	00	Nonius, Phasenwinkel, ABZ-Ausgänge <sup>1)</sup> und Zählwert von Kanal 2 werden berechnet. → Nonius, Einkanalbetrieb und Zweikanalbetrieb möglich
				01	ABZ-Ausgänge <sup>1)</sup> und Zählwert von Kanal 2 werden nicht berechnet. Der Phasenwinkel wird berechnet. → Nonius und Einkanalbetrieb möglich
				10	ungültig
				11	Nonius, Phasenwinkel, ABZ-Ausgänge <sup>1)</sup> und Zählwert von Kanal 2 werden nicht berechnet. → Einkanalbetrieb möglich
13	MXFEED	0	Bit	0	Korrekturwert wird aus Koeffizienten berechnet.
				1	Koeffizient 14 wird als Korrekturwert verwendet. → Einkanalbetrieb und Zweikanalbetrieb möglich
12	MXSHR	1	Bit	0	Koeffizientenskalierung 16 Bit
				1	Koeffizientenskalierung 16/18 Bit
11	ZDEL2	0	Bit	0	Defaultwert
				1	Zusätzliche interne Verzögerung des Referenzpunktsignals um 96/f <sub>osz</sub>
10	ZDEL	0	Bit	0	Defaultwert
				1	Zusätzliche interne Verzögerung des Referenzpunktsignals um 96/f <sub>osz</sub>
9	DISZ2	00	Bit	0	Referenzpunktverarbeitung an Kanal 2 ist aktiviert. Für die Aktivierung (DISZ2 wechselt von 1 auf 0) wird eine Zeit von 100µs benötigt.
				1	Referenzpunktverarbeitung an Kanal 2 ist deaktiviert
8	DISZ1	00	Bit	0	Referenzpunktverarbeitung an Kanal 1 ist aktiviert. Für die Aktivierung (DISZ1 wechselt von 1 auf 0) wird eine Zeit von 100µs benötigt.
				1	Referenzpunktverarbeitung an Kanal 1 ist deaktiviert
7:5	DH	01	binär	DH	Schwellwert der digitalen Hysterese. Ein Wert von 0 deaktiviert die digitale Hysterese
4:3	OFFSCTL	01	binär	00	Größte Einschwingzeit des Offsetreglers. Diese Konfiguration muss gewählt werden, falls das Sensorsignal eine geringe Eingangsfrequenz aufweist oder von Rauschen überlagert ist oder die Phase zwischen Sinus- und Cosinussignal nicht vollständig mit dem Phasenkorrekturpotentiometer abgeglichen werden kann.
				01	Verkürzung der Einschwingzeit des Offsetreglers um einen Faktor von ca. 2
				10	Verkürzung der Einschwingzeit des Offsetreglers um einen Faktor von ca. 4
				11	Verkürzung der Einschwingzeit des Offsetreglers um einen Faktor von ca. 8
2:1	GAINCTL	01	binär	00	Größte Einschwingzeit des Verstärkungsreglers. Diese Konfiguration muss gewählt werden, falls das Sensorsignal eine geringe Eingangsfrequenz aufweist oder von Rauschen überlagert ist oder die Phase zwischen Sinus- und Cosinussignal nicht vollständig mit dem Phasenkorrekturpotentiometer abgeglichen werden kann.
				01	Verkürzung der Einschwingzeit des Verstärkungsreglers um einen Faktor von ca. 2
				10	Verkürzung der Einschwingzeit des Verstärkungsreglers um einen Faktor von ca. 4
				11	Verkürzung der Einschwingzeit des Verstärkungsreglers um einen Faktor von ca. 8
0	DISCTL	0	Bit	0	Der interne Regler für Verstärkung und Offset ist aktiviert
				1	Der interne Regler für Verstärkung und Offset ist deaktiviert

<sup>1)</sup> Die De-/Aktivierung der ABZ-Ausgänge wird erst nach Reset des Schaltkreises übernommen.

CFGBISS				Konfiguration SSI und Konfiguration BiSS												
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
SSI	-	SSI20	RING	SSITO (11:0)												
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
STSEL1	STSEL0	GRAY	STBIT					-	READ32	-	BISSTO (4:0)					

Bit	Name	Reset-Wert	Format	Wert	Bedeutung
31	SSI	1	Bit	0	Für den IC GC-NIP wird BiSS als Digitalschnittstelle verwendet, falls BiSS/SSI mittels SEN=Low während Reset aktiviert wurde.
				1	Für den IC GC-NIP wird SSI als Digitalschnittstelle verwendet, falls BiSS/SSI mittels SEN=Low während Reset aktiviert wurde.
29	SSI20	1		0	32 Bit SSI-Daten
				1	20 Bit SSI-Daten
28	RING	1	Bit	0	SSI Ringbetrieb deaktiviert
				1	SSI Ringbetrieb aktiviert
27:16	SSITO	517 dezimal	unsigned	SSITO	Konfiguration SSI-Timeout-Parameter Timeout = (SSITO+3)/f <sub>OSZ</sub> bzw. SSITO = (Timeout·f <sub>OSZ</sub> )-3 Beispiel: f <sub>OSZ</sub> = 26MHz → SSITO = 23(1µs) ... 517(20µs) ... 2047 (79 µs)
15:14	STSEL	00	Binär	00	Die Positionsdaten werden aus Noniusdaten gebildet.
				01	Die Positionsdaten werden aus dem Zähler von Kanal 1 gebildet.
				10	Die Positionsdaten werden aus dem Zähler von Kanal 2 gebildet.
				11	Debug: / Die Positionsdaten enthalten den Zähler von Kanal 1 und Kanal 2 mit je 16 Bit. Gray-Kodierung sollte nicht verwendet werden.
13	GRAY	0	Bit	0	Positionsdaten sind binär codiert.
				1	Positionsdaten sind im gray-codiert.
12:8	STBIT	30 dezimal	Binär	STBIT	Auflösung der Positionsdaten in Bit, Range: 8-30Bit. Alle weiteren MSB werden mit 0 aufgefüllt. Falls STSEL = 11, werden diese Konfigurationsbits nicht ausgewertet.
6	READ32	0	Bit	0	Lesezugriffe über BiSS erfolgen im 8 Bit Format. Geeignet zum Lesen von Konfigurationsregistern
				1	Lesezugriffe über BiSS erfolgen im 32 Bit-Format. Es müssen immer 4 aufeinanderfolgende Adressen beginnend mit der niederwertigsten (durch 4 teilbaren) Adresse gelesen werden. Notwendig zum Lesen von Datenregistern.
4:0	BISSTO	9 dezimal	unsigned	BISSTO	Konfiguration BiSS-Timeout-Parameter auf 12µs...40µs. Timeout = 2 <sup>BISSTO</sup> /f <sub>OSZ</sub> bzw. BISSTO = log <sub>2</sub> (Timeout·f <sub>OSZ</sub> ) Beispiel: f <sub>OSZ</sub> = 26MHz → BISSTO = 9(19.7µs) oder 10(39.4µs)

ⓘ Dieses Register muss per SPI im EEPROM konfiguriert werden, um korrekte BiSS-Funktionalität zu gewährleisten.

PREST1		Preset-Wert Kanal 1													
PREST2		Preset-Wert Kanal 2 / Nonius													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
PRE (31:16)															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PRE (15:0)															

Bit	Name	Reset-Wert	Format	Wert	Bedeutung
31:0	PRE	0	unsigned	PRE	Preload-Wert; → Abschnitt 7.10

NONOFFS					Aktueller Offset-Wert										
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
OFFS (31:16)															
ZPOSCH2															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OFFS (15:0)															
ZPOSCH1															

Bit	Name	Reset-Wert	Format	Wert	Bedeutung
31:0	OFFS	0	unsigned	OFFS	Offsetwert zur Noniusberechnung → Abschnitt 7.10
31:1 6	ZPOSCH2	0	unsigned	ZPOS	Konfiguration der analogen Referenzpunktposition bezogen auf das Sinussignal. Bedingung: CFG3/NOSEL = 1 → siehe Abschnitt 7.6.3, 7.10.2
15:0	ZPOSCH1	0	unsigned	0 IRATE-1	Minimalwert Maximalwert

<b>CNTRLG1</b>	<b>Regler: Verstärkungskorrekturwert Kanal 1</b>
<b>CNTRLG2</b>	<b>Regler: Verstärkungskorrekturwert Kanal 2</b>

Beim Schreiben der Bits 26:16 müssen als erstes die Bits 23:16 geschrieben werden. Danach wird durch Schreiben der Bits 26:24 der vollständige Korrekturwert im Register aktualisiert.  
 Beim Schreiben der Bits 10:0 müssen als erstes die Bits 7:0 geschrieben werden. Danach wird durch Schreiben der Bits 10:8 der vollständige Korrekturwert im Register aktualisiert.  
 Es ist zu beachten, dass die Korrekturwerte vom IC bei aktiver Signalreglung automatisch geändert werden.

31	30	29	28	27	26:16
-	-	-	-	-	CNTRLG_S
15	14	13	12	11	10:0
-	-	-	-	-	CNTRLG_C

Bit	Name	Reset-Wert	Format	Wert	Bedeutung
26:16	CNTRLG_S	0x400	unsigned	CNTRLG	$CADC\_S = [ADC\_S + CNTRLO\_S] \cdot (0.5 + CNTRLG\_S/2048)$ $CADC\_C = [ADC\_C + CNTRLO\_C] \cdot (0.5 + CNTRLG\_C/2048)$
				0x000	Minimalwert; Die offsetkorrigierten ADC-Werte des Sinussignals werden mit 0.5 multipliziert.
10:0	CNTRLG_C	0x400	unsigned	0x400	Mittenwert; Die offsetkorrigierten ADC-Werte des Sinussignals werden mit 1.0 multipliziert.
				0x7FF	Maximalwert; Die (offsetkorrigierten ADC-Werte des Sinussignals werden mit 1.5 multipliziert.

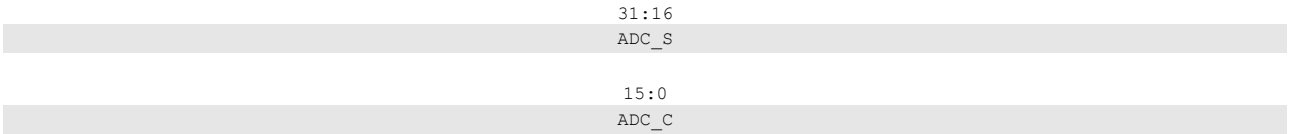
<b>CNTRLO1</b>	<b>Regler: Offsetkorrekturwert Kanal 1</b>
<b>CNTRLO2</b>	<b>Regler: Offsetkorrekturwert Kanal 2</b>

Beim Schreiben der Bits 31:16 müssen als erstes die Bits 23:16 geschrieben werden. Danach wird durch Schreiben der Bits 31:24 der vollständige Korrekturwert im Register aktualisiert. Falls der zu schreibende Wert außerhalb des gültigen Bereichs von -2730...+2729 liegt, wird das Korrekturregister nicht aktualisiert und das Bit ESOFF im Register STAT/ERR gesetzt.  
 Beim Schreiben der Bits 15:0 müssen als erstes die Bits 7:0 geschrieben werden. Danach wird durch Schreiben der Bits 15:8 der vollständige Korrekturwert im Register aktualisiert. Falls der zu schreibende Wert außerhalb des gültigen Bereichs von -2730...+2729 liegt, wird das Korrekturregister nicht aktualisiert und das Bit ECOFF im Register STAT/ERR gesetzt.  
 Es ist zu beachten, dass die Korrekturwerte vom IC bei aktiver Signalreglung automatisch geändert werden.

31:16					
CNTRLO_S					
15:0					
CNTRLO_C					

Bit	Name	Reset-Wert	Format	Wert	Bedeutung
31:16	CNTRLO_S	0x0000	signed	CNTRLO	$CADC\_S = [ADC\_S + CNTRLO\_S] \cdot (0.5 + CNTRLO\_S/2048)$ $CADC\_C = [ADC\_C + CNTRLO\_C] \cdot (0.5 + CNTRLO\_C/2048)$
15:0	CNTRLO_C	0x0000	signed	0xF556	Minimalwert -2730
				0x0000	Mittenwert 0; keine Offsetkorrektur
				0x0AA9	Maximalwert +2729

<b>ADC1</b>	<b>ADC-Werte Kanal 1</b>
<b>ADC2</b>	<b>ADC-Werte Kanal 2</b>



Bit	Name	Reset-Wert	Format	Wert	Bedeutung
31:16	ADC_S	-	signed	0xE000	Minimalwert -8192; Entspricht einer Differenzspannung von ca. 495mV am Eingang des Instrumentationsverstärkers (@GAIN=00) . Mittenwert 0; Entspricht einer Differenzspannung von ca. 0mV am Eingang des Instrumentationsverstärkers.
				0x0000	
15:0	ADC_C	-	signed	0x1FFF	Maximalwert +8191; Entspricht einer Differenzspannung von ca. +495mV am Eingang des Instrumentationsverstärkers (@GAIN=00) .

<b>CADC1</b>	<b>Korrigierte ADC-Werte Kanal1</b>
<b>CADC2</b>	<b>Korrigierte ADC-Werte Kanal2</b>

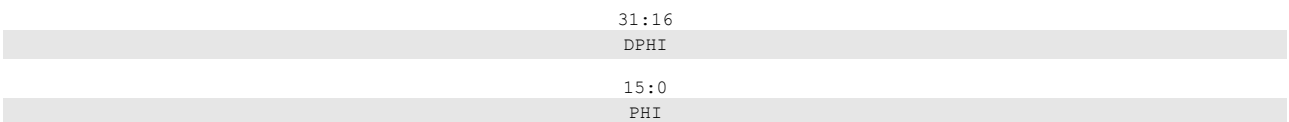
Im Einmessmodus (CFG1/MODE = 0101) werden diese Register per Trigger oder SPI-Kommando TRGCAL gespeichert. In allen anderen Modi können hier die momentanen korrigierten ADC-Werte gelesen werden.



Bit	Name	Reset-Wert	Format	Wert	Bedeutung
31	VZ(CADC_S)	-	Bit	0 1	Korrigierter ADC-Wert Sinus ≥ 0 Korrigierter ADC-Wert Sinus < 0
29:16	Abs(CADC_S)	-	unsigned	0 0x3FFF	Korrigierter ADC-Wert Sinus(Betrag) Minimalwert Maximalwert
15	VZ(CADC_C)	-	Bit	0 1	Korrigierter ADC-Wert Cosinus ≥ 0 Korrigierter ADC-Wert Cosinus < 0
13:0	Abs(CADC_C)	-	unsigned	0 0x3FFF	Korrigierter ADC-Wert Cosinus(Betrag) Minimalwert Maximalwert

Bit	Name	Reset-Wert	Format	Wert	Bedeutung
31:16	CADC_S	-	Vorzeichen + Betrag	CADC	Korrigierter ADC-Wert Sinus $CADC\_S = [ADC\_S + CNTRLO\_S] \cdot (0.5 + CNTRLG\_S/2048)$
15:0	CADC_C	-	Vorzeichen + Betrag	CADC	Korrigierter ADC-Wert Cosinus $CADC\_C = [ADC\_C + CNTRLO\_C] \cdot (0.5 + CNTRLG\_C/2048)$

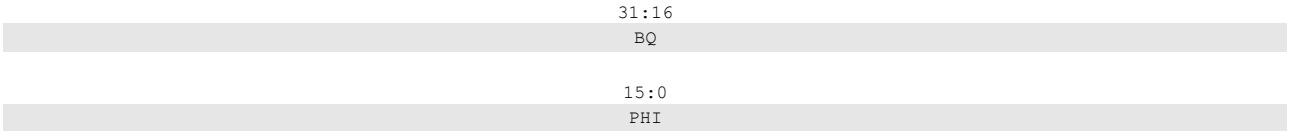
<b>IP11</b>	<b>Interpolationsregister 1 – Winkelwert / Geschwindigkeit – Kanal 1</b>
<b>IP12</b>	<b>Interpolationsregister 1 – Winkelwert / Geschwindigkeit – Kanal 2</b>



Bit	Name	Reset-Wert	Format	Wert	Bedeutung
31:16	DPHI	-	signed	DPHI	Der Wert DPHI ist die Differenz des Phasenwinkels von Sinus- und Cosinussignal zwischen zwei Abtastungen. Der Wertebereich ist abhängig von der eingestellten Interpolationsrate. Mit Hilfe diesen Wertes kann auf die Geschwindigkeit des Messsystems geschlossen werden. $f_{input} = DPHI / (96 \cdot IRATE) \cdot f_{osz}$
15:0	PHI	-	unsigned	0x0000 IRATE-1	Der Phasenwinkel von Sinus- und Cosinussignal ist 0° Der Phasenwinkel von Sinus- und Cosinussignal ist 360° - ε

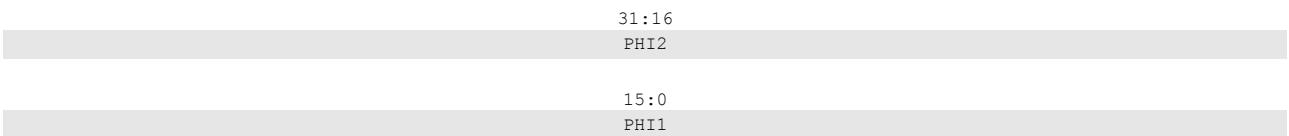
**IP21 Interpolationsregister 2 – Winkelwert / Reglerwert – Kanal 1**  
**IP22 Interpolationsregister 2 – Winkelwert / Reglerwert – Kanal 2**

Im Einmessmodus (CFG1/MODE = 0101) wird in den Bits 31:16 des Register IP21 per Trigger oder SPI-Kommando TRGCAL ein Quadrantenzählwert für Kanal 1 gespeichert.



Bit	Name	Reset-Wert	Format	Wert	Bedeutung
31:16	BQ	-	unsigned	BQ	Der Wertes BQ enthält die Abweichung des Verstärkungs- und Offsetreglers vom Sollwert. Sind Offset und Verstärkung vollständig abgeglichen, enthält dieses Register einen Wert von 321.
15:0	PHI	-	unsigned	0x0000 IRATE-1	Der Phasenwinkel von Sinus- und Cosinussignal ist 0° Der Phasenwinkel von Sinus- und Cosinussignal ist 360° - ε

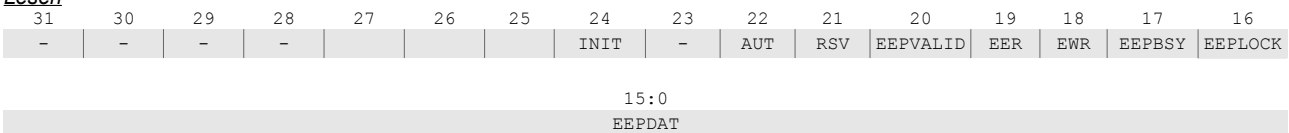
**IP3 Interpolationsregister 3 – Winkelwert 1 / Winkelwert 2**



Bit	Name	Reset-Wert	Format	Wert	Bedeutung
31:16	PHI2	-	unsigned	0x0000 IRATE-1	Der Phasenwinkel von Sinus- und Cosinussignal an Kanal 2 ist 0° Der Phasenwinkel von Sinus- und Cosinussignal an Kanal 2 ist 360° - ε
15:0	PHI1	-	unsigned	0x0000 IRATE-1	Der Phasenwinkel von Sinus- und Cosinussignal an Kanal 1 ist 0° Der Phasenwinkel von Sinus- und Cosinussignal an Kanal 1 ist 360° - ε

**EEP EEPROM-Interface**

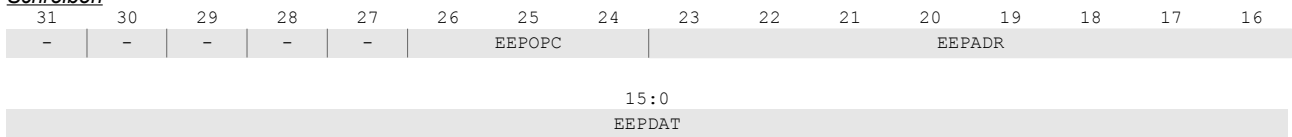
Lesen



Bit	Name	Reset-Wert	Format	Wert	Bedeutung
24	INIT		Bit	1	Dieses Bit ist reserviert zu Testzwecken.
22	AUT	0	Bit		Dieses Bit ist reserviert zu Testzwecken.
21	RSV	0	Bit		Dieses Bit ist reserviert zu Testzwecken.
20	EEPVALID	0/1	Bit	0	Gültigkeitskennung 0x134A an Adresse 0x00 nicht gefunden.
				1	Gültigkeitskennung 0x134A an Adresse 0x00 gefunden. EEPROM-Inhalt wurde nach Reset in die zugehörigen Register geladen.
19	EER	0	Bit	0	Kein EEPROM-Löschbefehl aktiv
				1	EEPROM-Löschbefehl aktiv
18	EWR	0	Bit	0	Kein EEPROM-Schreibzugriff Zugriff aktiv
				1	EEPROM-Schreibzugriff Zugriff aktiv
17	EEPBSY	0	Bit	0	Kein EEPROM-Zugriff aktiv
				1	EEPROM-Zugriff aktiv; Es darf kein weiterer Befehl an den EEPROM gesendet werden.
16	EEPLOCK	0	Bit	0	EEPROM zur Benutzung frei
				1	EEPROM gesperrt
15:0	EEPDAT	0x0000	Binär		Gelesene EEPROM-Daten

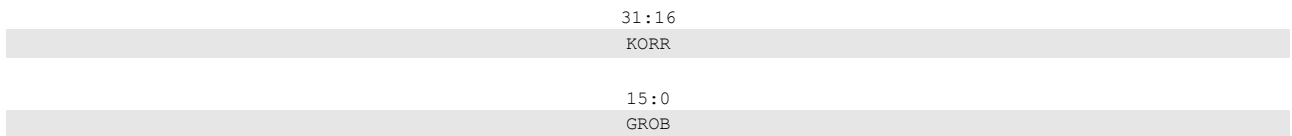


**Schreiben**



Bit	Name	Reset-Wert	Format	Wert	Bedeutung
26:24	EEPOPC	000	Binär		EEP-OPCode; <b>Das Schreiben dieser Bits löst einen EEPROM-Zugriff aus.</b> Das Register darf nicht beschrieben werden, wenn das Bit EEPBSY gesetzt ist. EEPADR und EEPDAT müssen gültig sein.
				000	NOP – Keine Aktion
				001	WRITE – 16 Bit schreiben
				010	READ – 16 Bit lesen
				100	ERASE – 16 Bit löschen
				sonst	Undefiniertes Verhalten. Der EEPROM-Inhalt kann verloren gehen
23:16	EEPADR	0x00	Binär		EEPROM-Adresse; Zum Löschen, Schreiben oder Lesen des EEPROM muss die Adresse vor dem Aktivieren des OP-Codes in dieses Register geschrieben werden. Das Register darf nicht beschrieben werden, wenn das Bit EEPBSY gesetzt ist.
15:0	EEPDAT	0x0000	Binär		EEPROM-Daten; Zum Programmieren des EEPROM müssen die Daten vor dem Aktivieren des OP-Codes in dieses Register geschrieben werden. Das Register darf nicht beschrieben werden, wenn das Bit EEPBSY gesetzt ist.

**NONIUS Noniusregister**



Bit	Name	Reset-Wert	Format	Wert	Bedeutung
31:16	KORR	-	signed		Aus den Koeffizienten und den Eingangssignalen berechneter Korrekturwert zu Bildung der Noniusposition. Dient zum Test.
15:0	GROB	-	unsigned	0x0000 IRATE-1	Korrigierte Noniusposition (PHI1-PHI2) mit einer Auflösung von 0 ... IRATE-1 Dient zum Test.

## 10 Kennwerte

Tabelle 42: Absolute Grenzwerte

Symbol	Kennwert	Min.	Typ.	Max.	Einheit
VDDA	Versorgungsspannung analog			TBD <sup>1)</sup>	V
VDD	Versorgungsspannung digital			TBD <sup>1)</sup>	V
TJ	Betriebstemperatur	-40		125	°C
TS	Lagertemperatur	-55		150	°C
V(AIN)	Spannung an den Analogeingängen	-0.3		VDDA+0.3	V
V(DIN)	Spannung an den Digitaleingängen	-0.3		VDDIO+0.3	V
ESD	ESD-Festigkeit (HBM)			2	kV

<sup>1)</sup> t < 250ms, T < 60°C

Tabelle 43: Betriebsbedingungen

Symbol	Kennwert	Min.	Typ.	Max.	Einheit
VDDA	Versorgungsspannung analog	3.15 (3.0) <sup>1)</sup>	3.30	3.60	V
VDD	Versorgungsspannung digital	3.00	3.30	3.60	V
I(VDDA)	Stromaufnahme analog		25		mA
I(VDD)	Stromaufnahme digital@25MHz		25		mA
T	Betriebstemperatur	-40		100 (125) <sup>1)</sup>	°C

<sup>1)</sup> zwischen 3.0V und 3.15V bzw. zwischen 100°C und 125°C sind Regelbereiche und Interpolationsgenauigkeit eingeschränkt.

Tabelle 44: Kennwerte Takt / Reset

Symbol	Kennwert	Min.	Typ.	Max.	Einheit
f <sub>OSZ</sub>	Externer Takt : Frequenz	4		26	MHz
TH/TL	Externer Takt : Tastverhältnis	40	50	60	%
t <sub>INIT</sub>	Initialisierungszeit Zeit zwischen NRES steigend und Ready (MISO,NERR)		40	80	ms

Tabelle 45: Kennwerte Interpolation

Symbol	Kennwert	Min.	Typ.	Max.	Einheit
f <sub>IP</sub>	Eingangsfrequenz (Noniusberechnung)	0		150	kHz
f <sub>IP</sub>	Eingangsfrequenz (Interpolation)	0		90	kHz
IRATE	Interpolationsrate (Noniusberechnung)	256		8192	Inkrement
IRATE_AB	Interpolationsrate (ABZ)	32		8192	Inkrement
CTRL(A)	Amplitudenregelung	60		120	%VINNOM <sup>2)</sup>
CTRL(O)	Offsetregelung	-15		15	%VINNOM <sup>2)</sup>
VTH(INP)	Schwellwert Vektorüberwachung		30		%VINNOM <sup>2)</sup>
EABS	Absoluter Winkelfehler <sup>1)</sup>		TBD	TBD	Inkrement
EDIFF	Differentieller Winkelfehler <sup>1)</sup>		TBD		Inkrement
t <sub>pp</sub>	Mindestflankenabstand A/B	1/f <sub>OSZ</sub>		128/f <sub>OSZ</sub>	ns
t(TRG)	Impulsbreite Triggersignal	3/f <sub>OSZ</sub>			ns
t <sub>p</sub> (Teach)	Impulsbreite PRESET-Signal	60			ms
t <sub>d</sub> (CNT)	Verzögerungszeit Analogeingang zu Noniusergebnis		181/f <sub>OSZ</sub> + 100		ns
t <sub>d</sub> (ABZ)	Verzögerungszeit Analogeingang zu A/B		208/f <sub>OSZ</sub> + 100		ns

<sup>1)</sup> Eingangsspannungsbereich 0.66 V<sub>pp</sub> / Bei abgeglicher Phase zwischen Sinus und Cosinus

<sup>2)</sup> Nominalwert der Differenzspannung von SINP-SINN bzw. COSP-COSN

Tabelle 46: Kennwerte digital

Symbol	Kennwert	Min.	Typ.	Max.	Einheit
VOH	Ausgangsspannung H	80			%VDDIO
VOL	Ausgangsspannung L			0.4	V
VIH	Eingangsspannung H	70			%VDDIO
VIL	Eingangsspannung L			30	%VDDIO
I(DIG1)	Ausgangsstrom digital			6	mA
I(DIG2)	Ausgangsstrom digital an MISO und NERR			12	mA
R(PU)	Interne Pull-Up Widerstände	90k		210	K $\Omega$
R(PD)	Interne Pull-Down Widerstände	75k		250	K $\Omega$

Tabelle 47: Kennwerte analog

Symbol	Kennwert	Min.	Typ.	Max.	Einheit
Z(AIN)	Eingangsimpedanz		1G $\Omega$   8pF		
Gain	Verstärkung lt. Tabelle 10 @1kHz	97	100	103	%
fg	Grenzfrequenz Analogfilter lt. Tabelle 11	90	100	110	%
fg <sub>MATCH</sub>	Abweichung der Grenzfrequenzen zwischen den Kanälen	-1	0	+1	%
V(AIN)	Spannung an den Analogeingängen	0.35		VDDA-1.0	V
CMIR	Gleichtakteingangsspannung		1.1		V
CMRR	Gleichtaktunterdrückung (@ f < 1kHz, GAIN maximal)	65			dB
V(V0)	Spannung am Pin V0 / DC-Spannung an SMON/CMON	1.08	1.1	1.12	V
VMON	AC-Spannung an SMON/CMON @ Nominalamplitude		1.27		V <sub>pp</sub>
I(V0)	Ausgangsstrom am Pin V0			1	mA
CL(V0)	Kapazitive Last am Pin V0			300	pF
VTH(REF)	Schaltsschwelle Referenzpunktkomparator <sup>2)</sup>	-1		1	mV
VH(REF)	Hysterese Referenzpunktkomparator <sup>2)</sup>		15		%VINNOM <sup>1)</sup>
I(OUTX)	Ausgangsstrom am Pin SMON1/CMON1/SMON2/CMON2			0.5	mA
CL(OUTX)	Kapazitive Last am Pin SMON1/CMON1/SMON2/CMON2			50	pF
$\phi$ K1	Phasenkorrektur Bereich 1	$\pm 4.5$	$\pm 5$	$\pm 5.5$	$^{\circ}$
$\phi$ K2	Phasenkorrektur Bereich 2	$\pm 9$	$\pm 10$	$\pm 11$	$^{\circ}$

<sup>1)</sup> Nominalwert der Differenzspannung von SINP-SINN bzw. COSP-COSN

<sup>2)</sup> Differenzspannung von REFP-REFN

Tabelle 48: Kennwerte EEPROM

Symbol	Kennwert	Min.	Typ.	Max.	Einheit
t <sub>READEEP</sub>	Lesezeit	20		85	$\mu$ s
t <sub>PROGEEP</sub>	Programmierzeit / Löszeit	4	9.5	11	ms
t <sub>RETENTIONEEP</sub>	Datenerhalt @ T < 85 $^{\circ}$	10			Jahre
N <sub>ProgEEP</sub>	Programmierzyklen @ T = 25 $^{\circ}$ @ T = 125 $^{\circ}$	10 <sup>4</sup> 10 <sup>3</sup>			

Tabelle 49: Kennwerte SSI

Symbol	Kennwert	Min.	Typ.	Max.	Einheit
f <sub>MA</sub>	Taktfrequenz @ f <sub>OSZ</sub> $\geq$ 4MHz @ f <sub>OSZ</sub> $\geq$ 8MHz @ f <sub>OSZ</sub> $\geq$ 10MHz @ f <sub>OSZ</sub> $\geq$ 20MHz			2 3 4 5	MHz
t <sub>d</sub> (MISO)	Verzögerungszeit MA steigend bis SLO			25	ns
t <sub>TIMEOUT</sub>	Timeout $\rightarrow$ CFGBISS	3/f <sub>OSZ</sub>	10	4095 / f <sub>OSZ</sub>	$\mu$ s

Tabelle 50: Kennwerte BISS

Symbol	Kennwert	Min.	Typ.	Max.	Einheit
$f_{MA}$	Taktfrequenz			10	MHz
$t_D(\text{MISOBISS})$	Verzögerungszeit MA steigend bis SLO			20	ns
$t_{\text{BUSY\_S}}$	Startbitverzögerung SCD		0		ns
$t_{\text{BUSY\_R}}$	Startbitverzögerung Registerdaten		0		ns
$t_{\text{BUSY\_E}}$	Startbitverzögerung EEPROM-Daten		$t_{\text{READEEP}}$		ns
$t_{\text{TIMEOUT}}$	Timeout → CFGBISS	$2/f_{\text{OSZ}}$	25	$2^{31}/f_{\text{OSZ}}$	µs

Tabelle 51: Kennwerte SPI

Symbol	Kennwert	Min.	Typ.	Max.	Einheit
$t_{\text{HIGH}}(\text{SCK})$	SPI-Takt, H-Zeit	20			ns
$t_{\text{LOW}}(\text{SCK})$	SPI-Takt, L-Zeit	20			ns
$t_s(\text{SEN})$	Setup-Zeit SEN fallend vor SCK steigend	15			ns
$t_h(\text{SEN})$	Hold-Zeit SEN steigend nach SCK fallend	15			ns
$t_s(\text{MOSI})$	Setup-Zeit MOSI vor SCK steigend	5			ns
$t_h(\text{MOSI})$	Hold-Zeit MOSI nach SCK steigend	5			ns
$t_D(\text{MISO})$	Verzögerungszeit SCK <b>fallend</b> bis MISO @CL = 12 pF			20	ns
$t_{\text{ENA}}(\text{MISO})$ <sup>1)</sup>	Verzögerungszeit SEN fallend bis MISO aktiv			25	ns
$t_D(\text{nWAIT})$	Verzögerungszeit SEN steigend bis nWAIT aktiv		60	70	ns
$t(\text{nWAIT-L})$	Wartezeit nach SEN steigend	$2/f_{\text{OSZ}}$		$4/f_{\text{OSZ}} + 25$	ns
	Wartezeit nach SEN steigend (Synchrones Lesen)	$2/f_{\text{OSZ}}$		$36/f_{\text{OSZ}} + 25$	ns
$t(\text{SEN-Wait})$	Zeit zwischen Wait-Zustand und nächstem Zugriff	0			ns

<sup>1)</sup> für Nicht-Lesebefehle kann der Ausgang MISO im Zustand Tristate (inaktiv) bleiben

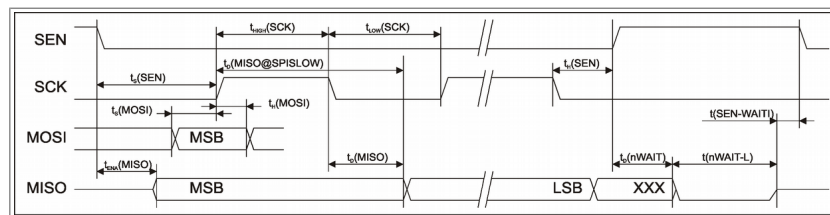


Abbildung 32: Timing SPI

Tabelle 52: Kennwerte Simple-SPI-Master

Symbol	Kennwert	Min.	Typ.	Max.	Einheit
$t_{\text{HIGH}}(\text{SCK})$	SPI-Takt, H-Zeit		$1/f_{\text{OSZ}}$		ns
$t_{\text{LOW}}(\text{SCK})$	SPI-Takt, L-Zeit		$1/f_{\text{OSZ}}$		ns
$t_s(\text{MISO})$	Setup-Zeit MISO vor SCK steigend	5			ns
$t_h(\text{MISO})$	Hold-Zeit MISO nach SCK steigend	5			ns
$t_D(\text{MOSI})$	Verzögerungszeit SCK <b>fallend</b> bis MOSI @CL = 12 pF			20	ns
$t_{\text{TXENA}}$	Impulsbreite TXENA (High)			TBD/ $f_{\text{OSZ}}$	ns

# 11 Applikationshinweise

## 11.1 Beschaltung

Da der GP-NIP zwei schnelle AD-Wandler enthält, sind die gleichen Designrichtlinien wie beim Einsatz von AD-Wandlern anzuwenden. Zu beachten ist, dass für Standardsensoren auch die Qualität der Sensorstromversorgung Einfluss auf die Messgenauigkeit hat. Ggf. sind zusätzliche LC-Kombinationen zur Sensorstromversorgung sowie für VDDA vorzusehen. Versorgungsspannungen und ADC-Referenzspannungen werden anhand Tabelle 53, unbenutzte Ein- / Ausgänge anhand Tabelle 54 beschaltet.

Tabelle 53: IC-Beschaltung Spannungen

Pin	Beschaltung
VSSA	Massefläche analog
VSS, VSSIO, Exposed Pad	Massefläche digital
VDDA	Spannungsversorgung analog 3.3V Blockkondensator 100nF gegen VSSA
VDD, VDDIO	Spannungsversorgung digital 3.3V Blockkondensator 100nF gegen VSS/VSSIO
R1N,R1M,R1P,R2N,R2M,R2P	je ein Blockkondensator 2.2µF gegen VSSA und je ein Blockkondensator 10nF gegen VSSA
V01,V02	ein Blockkondensator 100nF gegen VSSA offen möglich falls CFG2/DISV0 = 1

Tabelle 54: IC-Beschaltung unbenutzter Ein- / Ausgänge

Pin	Beschaltung, wenn unbenutzt
NRES	Pull-Up 10k gegen VDDIO
SINN, COSN, REFN	V0
REFP	AVDD oder AVSS
CFGAF, CFGGAIN, CFGDIR	VSSIO
PRESET, TXENA/TRG	VDDIO
MISO/SLO	Pull-Up 1k gegen VDDIO
MOSI/SLI	VSSIO
SCK/MA	VSSIO
SEN	VDDIO
NERR	Pull-Up 10k gegen VDDIO
TM	VSS

### Weiterhin:

- Alle Block-Kondensatoren sind Padnah vorzusehen.
- Es sind getrennte Masseflächen für VSSA bzw. für VSS und VSSIO vorzusehen.
- Die Masseflächen für VSSA und VSS werden an einem Punkt der Leiterplatte verbunden.
- An den Pins NRES, NERR wird je ein Pull-Up Widerstand von 10 kΩ benötigt.
- Am Pin MISO/SLO wird ein Pull-Up Widerstand von 1 kΩ benötigt.
- Bei Verwendung der SPI mit hohen Datenraten sind Serienwiderstände von je 22...33 Ω an MOSI, MISO, SCK und SEN vorteilhaft.
- Die digitalen Ausgänge A, B und Z sind für einen Ausgangsstrom von 6 mA ausgelegt. Zur Realisierung einer differentiellen RS422-Schnittstelle ist ein externer Treiber IC erforderlich. Diese Ausgänge können im Fehlerfall auf Tristate-Verhalten konfiguriert werden. Je nach Anwendung und Konfiguration werden Pull-Up Widerstände benötigt.
- Für zusätzliche Abschlusswiderstände zwischen SINP und SINN bzw. zwischen COSP und COSN gelten die Applikationshinweise des jeweiligen Sensorherstellers.
- Single-ended Sensoren werden üblicherweise an den Eingängen SINP und COSP angeschlossen. Dazu müssen die DC-Bezugspegel des IC und des Sensors übereinstimmen.
- Als DC-Bezugspegel ist es möglich, die Signale V01 und V02 zu verwenden. Die Strombelastbarkeit an diesen Pins beträgt 1 mA. Es ist auf kurze und kapazitätsarme Leitungsführung zu achten. Eventuell kann man einen Buffer-OPV vorsehen.
- Zum zuverlässigen Betrieb müssen alle IC-Eingänge definiert beschaltet werden. Interne Pull-Up Widerstände verhindern lediglich unvorhersehbares Verhalten des IC bei offenen Eingängen.



Das Design der analogen Eingangsschaltung richtet sich nach der Art des angeschlossenen Sensors. Folgende Abbildungen zeigen beispielhaft für einen Kanal den Anschluss verschiedener Sensortypen:

### Sensor mit differentiellen Ausgangssignalen

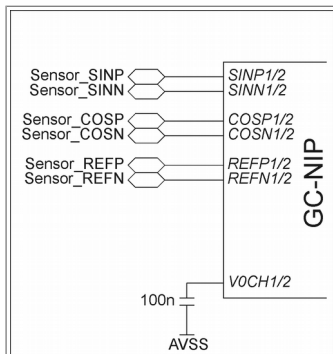


Abbildung 33: Sensor mit differentiellen Ausgangssignalen

Die Amplitude des Sensors und die Nominalamplitude des GC-NIP werden mit den Konfigurationsbits GAIN(1:0) aufeinander abgestimmt.

Der Bezugspegel V0 wird intern gebildet.

### Sensor mit einer Nominalamplitude von 1V<sub>pp</sub> oder 2V<sub>pp</sub>

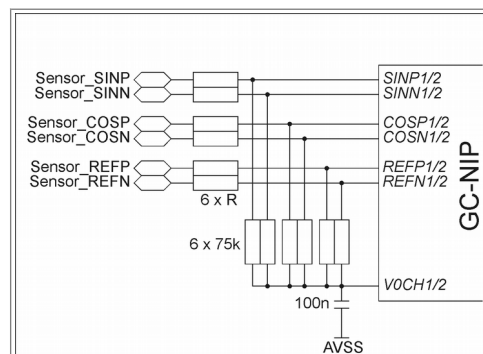


Abbildung 34: Sensor mit einer Nominalamplitude von 1V<sub>pp</sub> oder 2V<sub>pp</sub>

Die Nominalamplitude des GC-NIP wird mit den Konfigurationsbits GAIN(1:0) auf 660mV<sub>pp</sub> eingestellt.

Der Bezugspegel V0 wird intern gebildet.

Widerstände zwischen den Eingangssignalen und V0 dienen als Spannungsteiler. Der Widerstand R wird folgendermaßen dimensioniert:  $R = (V_{\text{Sensor}} / 660\text{mV} - 1) \cdot 75\text{k}\Omega$

Sowohl Sensoramplitude als auch die Mittenspannung des Sensors werden im Verhältnis R/75kΩ geteilt

Alternativ kann für 5V-Sensoren der Pegelwandler-IC GC-LS eingesetzt werden.

### Sensor mit single-ended Ausgangssignalen (1)

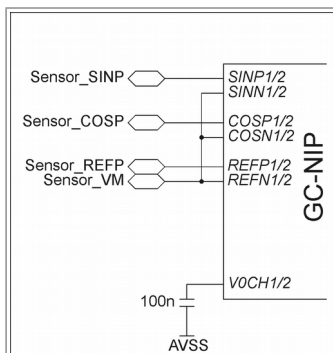


Abbildung 35: Sensor mit single-ended Ausgangssignalen (1)

Die Amplitude des Sensors und die Nominalamplitude des GC-NIP werden mit den Konfigurationsbits GAIN(1:0) aufeinander abgestimmt.

Der Bezugspegel V0 wird vom Sensor bereitgestellt.

### Sensor mit single-ended Ausgangssignalen (2)

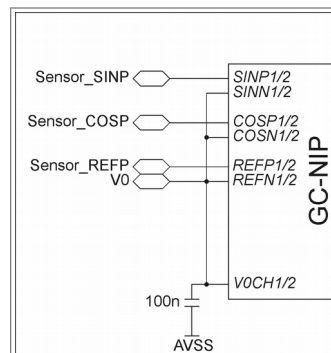


Abbildung 36: Sensor mit single-ended Ausgangssignalen (2)

Die Amplitude des Sensors und die Nominalamplitude des GC-NIP werden mit den Konfigurationsbits GAIN(1:0) aufeinander abgestimmt.

Der Bezugspegel V0 wird intern gebildet und an den Sensor geführt.

**Sensor mit antiparallelen Photodioden  
Abgleichsmöglichkeit für Amplitudengleichheit**

**Photodiodenarray mit gemeinsamer Katode oder Anode  
Abgleichsmöglichkeit für Amplitudengleichheit und Offset**

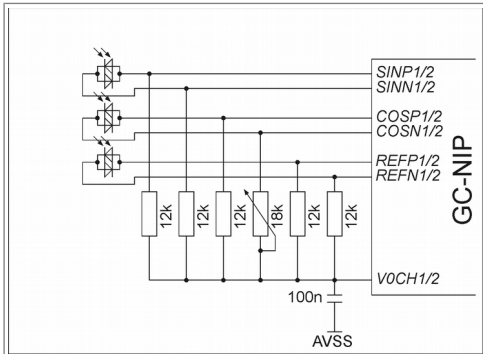


Abbildung 37: Sensor mit antiparallelen Photodioden

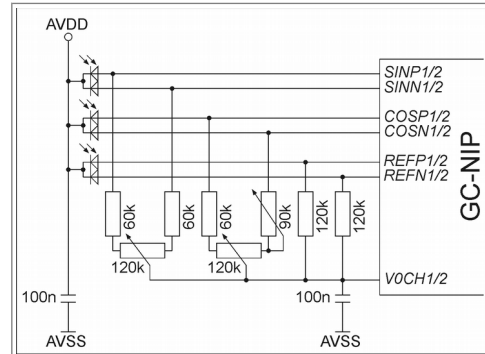


Abbildung 38: Photodiodenarray mit gemeinsamer Katode oder Anode

Die Nominalamplitude des GC-NIP wird mit den Konfigurationsbits GAIN(1:0) auf 250mVpp eingestellt. Der Bezugspegel V0 wird intern gebildet. Durch Veränderung der Amplitude des Cosinussignals wird Amplitudengleichheit eingestellt. Zum Abgleich werden die Testsignale SMON und CMON benutzt. Widerstände zwischen den Eingangssignalen und V0 dienen als I/U-Wandler. Der Widerstand R wird folgendermaßen dimensioniert:  $R_{FIX} = 250\text{ mV} / (2 \cdot I_{SENSOR})$  und  $P_{AMPL} \approx 1.5 \cdot R_{FIX}$   
→ Im Beispiel:  $I_{SENSOR} = 11\ \mu A_{pp}$

Die Nominalamplitude des GC-NIP wird mit den Konfigurationsbits GAIN(1:0) auf 160mVpp eingestellt. Der Bezugspegel V0 wird intern gebildet. Durch Veränderung der Amplitude des Cosinussignals wird Amplitudengleichheit eingestellt. Im Anschluss daran kann der Offset für beide Signale abgeglichen werden. Zum Abgleich werden die Testsignale SMON und CMON benutzt. Widerstände zwischen den Eingangssignalen und V0 dienen als I/U-Wandler. Der Widerstand R wird folgendermaßen dimensioniert:  $R = 160\text{mV} / (2 \cdot I_{SENSOR})$ . Dieser Widerstand wird teilweise als Potentiometer zum Offsetabgleich ausgeführt:  $P_{OFFS} \approx R$ ;  $R_{FIX} \approx \frac{1}{2} R$ ;  $P_{AMPL} \approx 1.5 \cdot R_{FIX}$   
→ Im Beispiel:  $I_{SENSOR} = 0.5\ \mu A_{pp}$

**Sensor für Stromsignale 11  $\mu A_{pp}$**

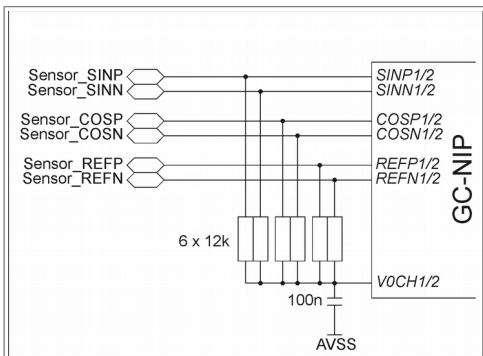


Abbildung 39: Sensor für Stromsignale 11  $\mu A_{pp}$

Die Nominalamplitude des GC-NIP wird mit den Konfigurationsbits GAIN(1:0) auf 250mVpp eingestellt. Der Bezugspegel V0 wird intern gebildet. Widerstände zwischen den Eingangssignalen und V0 dienen als I/U-Wandler. Der Widerstand R wird folgendermaßen dimensioniert:  $R = 250\text{mV} / (2 \cdot I_{SENSOR})$   
→ Im Beispiel:  $I_{SENSOR} = 11\ \mu A_{pp}$

Folgende Abbildungen zeigen beispielhaft den Anschluss der verschiedenen Schnittstellen am Ausgang.

**ABZ-Ausgang / Konfiguration über Pin**

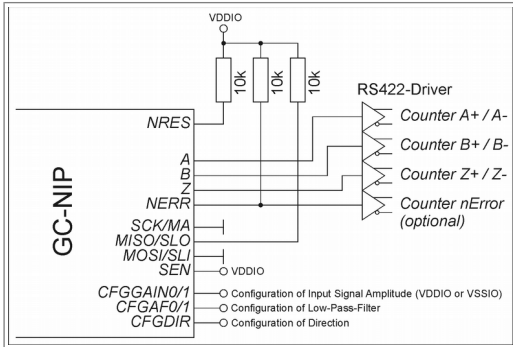


Abbildung 40: ABZ-Ausgang / Konfiguration über Pin

**ABZ-Ausgang / Konfiguration über EEPROM**

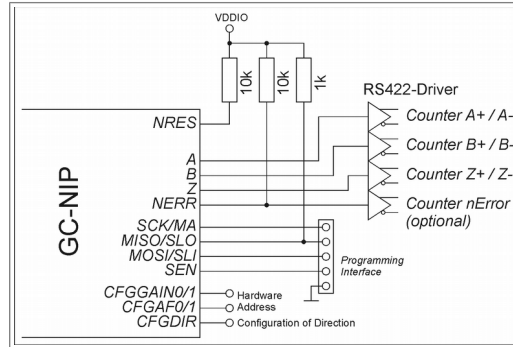


Abbildung 41: ABZ-Ausgang / Konfiguration über EEPROM

Nominalamplitude und Tiefpassfilter werden über Konfigurationspins eingestellt, alle anderen Konfigurationen werden lt. Tabelle 8 eingestellt.  
Beschaltung des zweiten ABZ-Ausgangs identisch

Die Konfiguration des IC erfolgt aus dem internen EEPROM Die SPI-Schnittstelle dient als Programmierinterface des EEPROM Die Leitungen MOSI, SEN und SCK müssen sehr kurz gehalten werden. Anderenfalls werden Pull-Up Widerstände (10 kΩ) empfohlen.  
Beschaltung des zweiten ABZ-Ausgangs identisch

**SPI-Schnittstelle über LVDS**

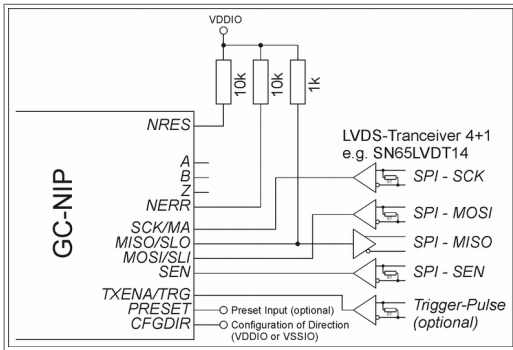


Abbildung 42: SPI-Schnittstelle über LVDS

**SPI-Schnittstelle über USB an PC**

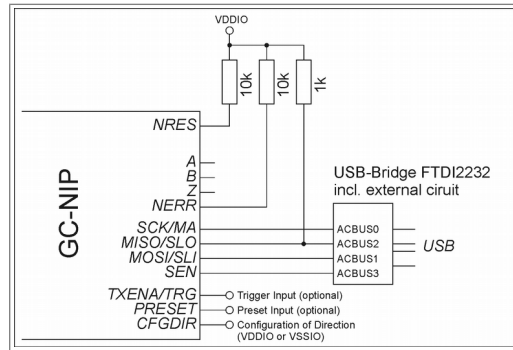


Abbildung 43: SPI-Schnittstelle über USB

Die Konfiguration des IC erfolgt aus dem internen EEPROM oder über SPI  
LVDS-Treiber ermöglichen große Leitungslängen bei hohen Taktraten  
Ein optionales Signal wird als Trigger benutzt

Die Konfiguration des IC erfolgt aus dem internen EEPROM oder über SPI  
Die SPI-Schnittstelle wird über einen Bridge-IC direkt von PC-Software gesteuert.

**BiSS-Schnittstelle**

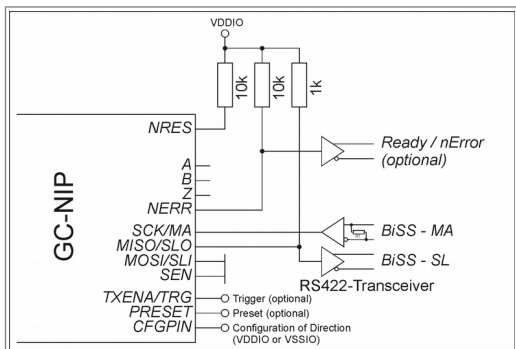


Abbildung 44: BiSS-Schnittstelle

Die Konfiguration des IC erfolgt aus dem internen EEPROM  
 Das BiSS-Interface arbeitet mit einer Punkt-zu-Punkt-Verbindung  
 Ein optionales zusätzliches Signal zeigt das Ende der Initialisierung des GC-NIP bzw. Fehler an.

**SSI-Schnittstelle**

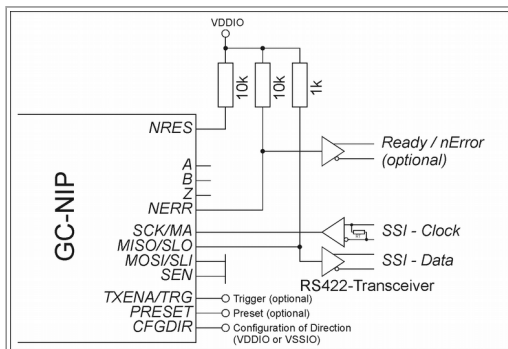


Abbildung 45: SSI-Schnittstelle

Die Konfiguration des IC erfolgt aus dem internen EEPROM  
 Ein optionales zusätzliches Signal zeigt das Ende der Initialisierung

**SPI-Schnittstelle an Mikrocontroller**

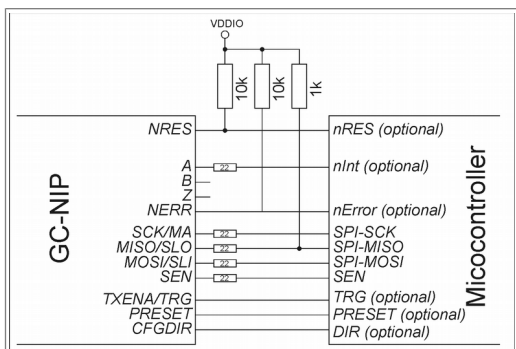


Abbildung 46: SPI-Schnittstelle an Mikrocontroller

Die Konfiguration des IC erfolgt aus dem internen EEPROM oder über SPI  
 Die SPI-Schnittstelle wird von der Mikrocontroller-Firmware gesteuert  
 Ein optionales Signal wird als Trigger benutzt, ein weiteres Signal dient als Interrupt zum Mikrocontroller  
 Der Interpolationsschaltkreis wird optional vom Mikrocontroller rückgesetzt

**Zusätzlicher Mikrocontroller**

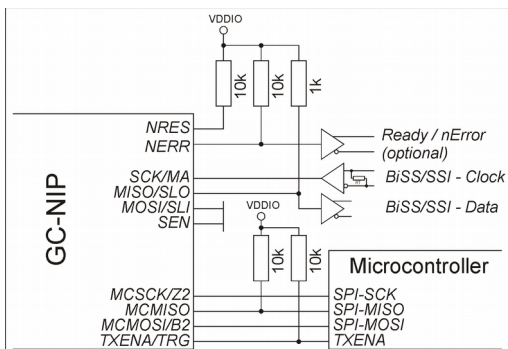


Abbildung 47: SSI-/BiSS-Schnittstelle und Simple-SPI-Master

Die Konfiguration des IC erfolgt aus dem internen EEPROM  
 Die Positionsdaten werden über die BiSS- oder SSI-Schnittstelle ausgegeben  
 Ein externer Mikrocontroller ermöglicht das Auslesen und Modifizieren der Positionsdaten. Der Auslesevorgang wird durch den Mikrocontroller am Pin TXENA/TRG gesteuert.

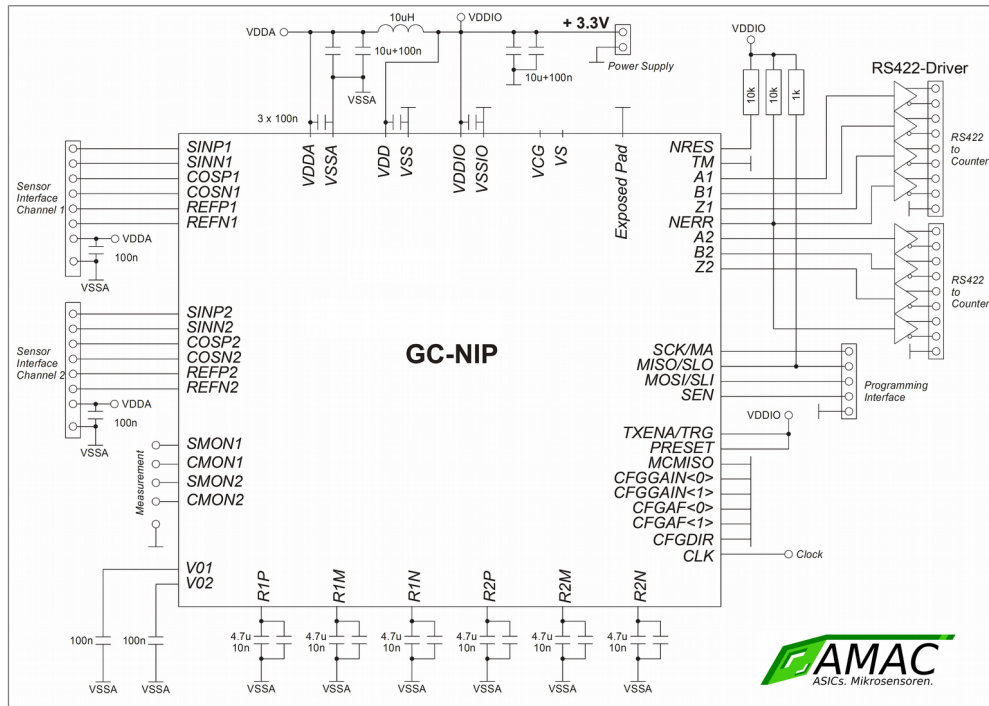


Abbildung 48: Minimalapplikation

- Die Konfiguration des IC erfolgt aus dem internen EEPROM.
- Die SPI-Schnittstelle dient als Programmierinterface des EEPROM sowie zum Einmessen des Noniusmaßstabes.
- Die Leitungen MOSI, SEN und SCK müssen sehr kurz gehalten werden. Anderenfalls werden Pull-Up Widerstände (10kΩ) empfohlen.

Für weiterführende Informationen zur Verwendung der Schnittstellen und zur allgemeinen Beschaltung des IC fordern Sie bitte Schaltplan und Layout des Demoboards „GP-NIP“ per E-Mail an support@amac-chemnitz.de an.

## 11.2 Schnelle äquidistante Messungen über SPI

Der IC erlaubt über die SPI-Schnittstelle schnelle äquidistante Messungen:

Tabelle 55: Äquidistante Messungen

Zeitbasis	Eingang TRG	Schnittstelle SPI	Bemerkung
Von SPI-Schnittstelle	Für asynchrone Triggerereignisse	Modus SYNC	Falls SEN mit $N \cdot 96/f_{OSZ}$ aktiviert wird, entsteht kein Jitter. Die exakte Synchronisation mehrerer IC ist möglich.
Extern	Zeitbasis	Modus ASYNC	Jitter: $96/f_{OSZ}$ . Das Auslesen der Messwerte über SPI muss im Messintervall beendet werden. Die exakte Synchronisation mehrerer IC ist möglich.



### 11.3 Programmablauf

Die Verwendung von Trigger und Sensorüberwachung des GC-NIP erfolgt in Verbindung mit den internen Registern MVAL und STAT. Folgende Programmschleife kann dazu implementiert werden:

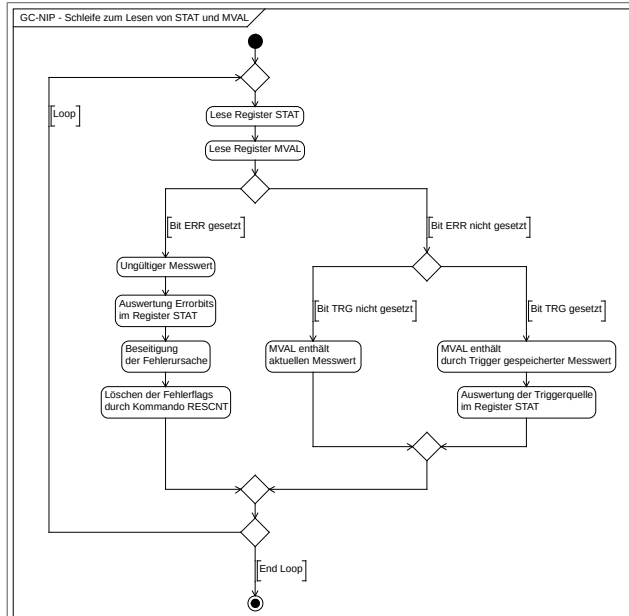


Abbildung 49: Programmschleife zum Lesen von MVAL und STAT

Für den Abgleich der Referenzpunktposition und die Auswertung abstandskodierter Referenzmarken ist der Ablauf zu erweitern:

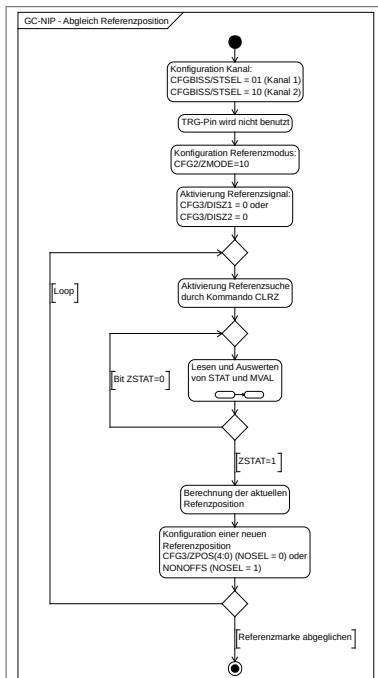


Abbildung 50: Erweiterte Programmschleifen für ZMODE 10

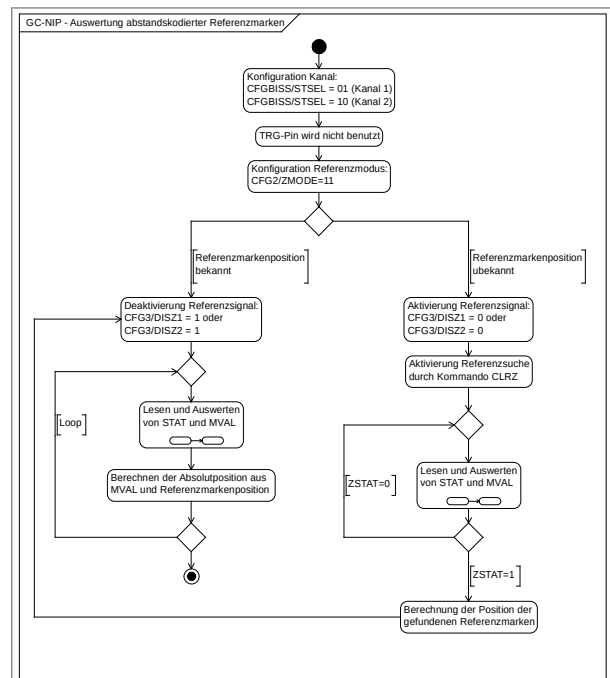


Abbildung 51: Erweiterte Programmschleifen für ZMODE 11

Siehe auch Abschnitte 7.6.3 und 11.5.

### 11.4 EEPROM

Der Zugriff auf den internen EEPROM erfolgt über eine interne Schnittstelle, welche mit Zugriffen auf das Register EEP gesteuert wird:

Vor jedem Schreibzugriff muss das Bit EEPBSY gelöscht sein

Schreibzugriffe auf EEPOPC (Byte 3) lösen eine EEPROM-Aktion aus. EEPADR und ggf. EEPDAT müssen dazu gültige Werte besitzen.

Ungültige OP-Codes dürfen nicht verwendet werden.

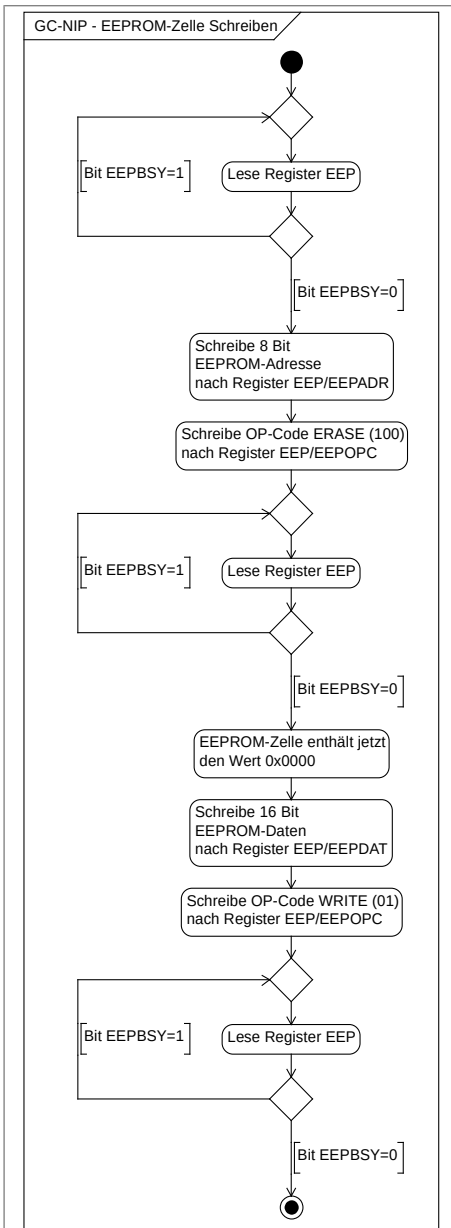


Abbildung 52: Programmablauf EEPROM lesen/schreiben

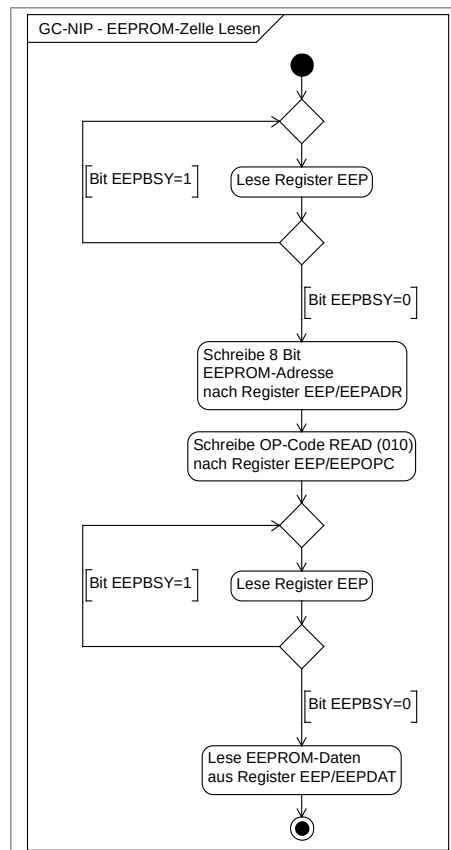


Abbildung 53: Programmablauf EEPROM lesen/schreiben

### 11.5 Auswertung abstandskodierter Referenzmarken

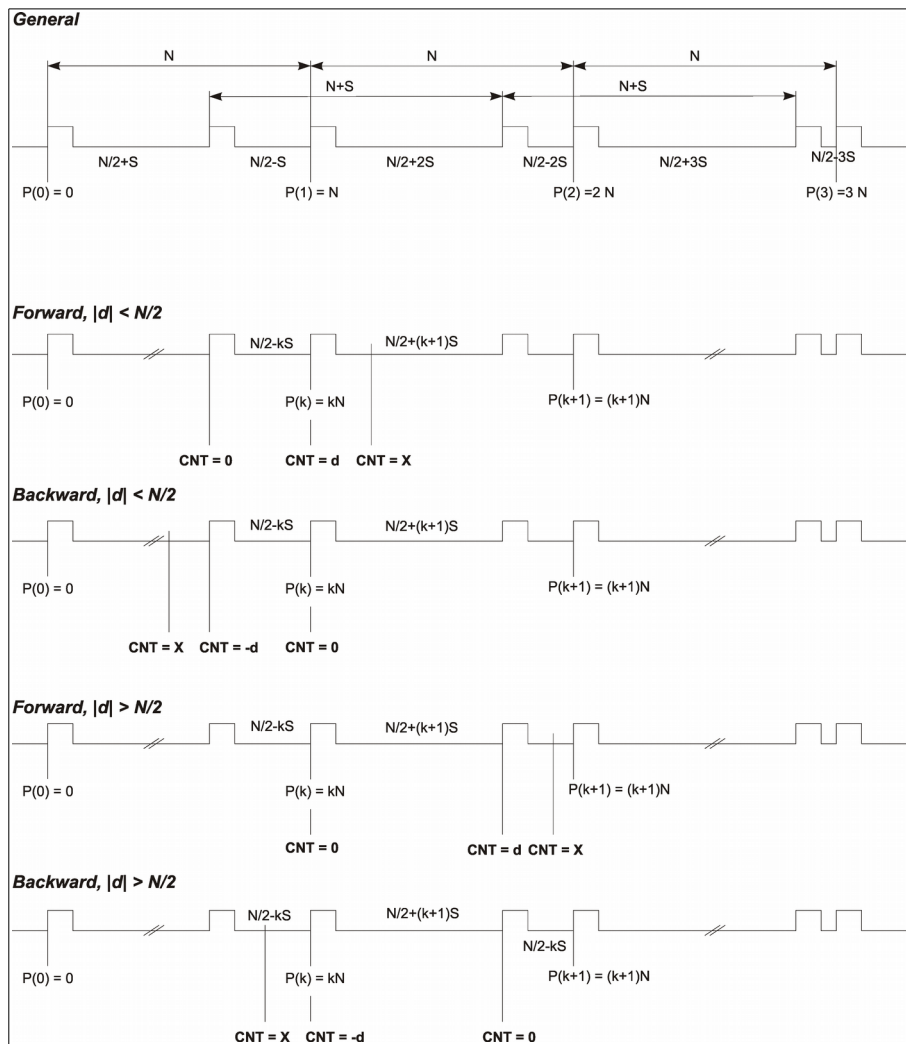


Abbildung 54: Auswertung abstandskodierter Referenzmarken

Tabelle 56: Auswertung abstandskodierter Referenzmarken

$0 < d < \frac{1}{2} \cdot N$ Abbildung 54-1	$-\frac{1}{2} \cdot N < d < 0$ Abbildung 54-2	$\frac{1}{2} \cdot N < d$ Abbildung 54-3	$d < -\frac{1}{2} \cdot N$ Abbildung 54-4
$D = d / \text{IRATE} \cdot M$	$D = d / \text{IRATE} \cdot M$	$D = d / \text{IRATE} \cdot M$	$D = d / \text{IRATE} \cdot M$
$D = (N/2 - k) \cdot S$	$D = -(N/2 - k) \cdot S$	$D = N/2 + (k+1) \cdot S$	$D = -N/2 - (k+1) \cdot S$
$P = N/S \cdot (N/2 - D)$	$P = N/S \cdot (N/2 + D)$	$P = N/S \cdot (D - N/2) - N$	$P = -N/S \cdot (D + N/2) - N$
$PX = P - D + X / \text{IRATE} \cdot M$	$PX = P + X / \text{IRATE} \cdot M$	$PX = P + X / \text{IRATE} \cdot M$	$PX = P - D + X / \text{IRATE} \cdot M$

Mit:

- M: Maßstabsteilung (mm)
- N: Segmentlänge der Referenzmarken auf dem Maßstab (mm)
- S: Referenzpunktschrittweite auf dem Maßstab (mm)
- k: Nummer der Referenzmarke auf dem Maßstab
- $P(k)$ : Absolutposition der Referenzmarke k (mm)
- d: Getriggelter Referenzmarkenabstand (Inkremente)
- D: Getriggelter Referenzmarkenabstand (mm)
- X: beliebiger Zählwert (Inkremente)
- PX: Absolutposition des Sensors (mm)

## 11.6 Konfiguration von $t_{pp}$ und $f_{OSZ}$

Die Konfiguration des *GC-NIP* erfolgt nach den Anforderungen des Sensors und der Nachfolgeelektronik durch den Anwender des IC. Siehe dazu Abschnitte 7.3 und 7.4

Tabelle 57: Konfiguration  $t_{pp}$  und Geschwindigkeitsüberwachung

ABZ-Ausgang benutzt?			
Nein		Ja	
CFG1/MABZ=0 CFG1/TPP(2:0)beliebig		CFG1/MABZ=1 CFG1/MFAST=1 Bedingung: $t_{pp}(\text{Zähler an ABZ}) < t_{pp}(\text{GC-NIP})$	
Interpolationszähler benutzt ?		Oszillatorfrequenz vorgegeben?	
Nein	Ja	Nein	Ja
CFG1/MFAST=0 $f_{MAX} \geq 130\text{kHz}$	CFG1/MFAST=1 $f_{MAX} = f_{OSZ} / 280$	CFG1/TPP(2:0)beliebig typisch: CFG1/TPP(2:0)='001' $N = 2^{CFG1/TPP(2:0)}$  $4\text{ MHz} \leq f_{OSZ} < N/t_{pp}(\text{Zähler an ABZ}) \leq 26\text{ MHz}$	$N = 2^{CFG1-TPP(2:0)} > t_{pp}(\text{Zähler an ABZ}) \cdot f_{OSZ}$
		$t_{pp}(\text{GC-NIP}) = N / f_{OSZ}$ $f_{MAX} < 0.9 \cdot f_{OSZ} \cdot IRDIV / (N \cdot IRATE)$ und $f_{MAX} < f_{OSZ} / 280$	

### Beispiel a)

Der minimale Flankenabstand der an A, B und Z angeschlossenen Elektronik beträgt 250 ns.  
Die Interpolationsrate ist 4000, IRDIV wurde mit 10 (4) konfiguriert. (ABZ-Interpolationsrate = 1000)  
Die maximale Eingangsfrequenz beträgt 2 kHz.  
Die Oszillatorfrequenz ist frei wählbar, muss jedoch im Bereich von 4 MHz ... 26 MHz liegen.

CFG1/MFAST = 1 CFG1/MABZ = 1 CFG1-TPP(2:0)='001' → N = 2 $f_{OSZ} < 2/250\text{ns}$ , $2\text{kHz} > 0.9 \cdot f_{OSZ} \cdot 4 / (2 \cdot 4000)$ → $4.44\text{ MHz} < f_{OSZ} < 8\text{ MHz}$	CFG1/MFAST = 1 CFG1/MABZ = 1 CFG1-TPP(2:0)='010' → N = 4 $f_{OSZ} < 4/250\text{ns}$ , $2\text{kHz} > 0.9 \cdot f_{OSZ} \cdot 4 / (4 \cdot 200)$ → $8.88\text{ MHz} < f_{OSZ} < 16\text{ MHz}$
-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------	-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------

### Beispiel b)

Der minimale Flankenabstand der an A, B und Z angeschlossenen Elektronik beträgt 150 ns.  
Die Interpolationsrate ist 2000, IRDIV wurde mit 11 (8) konfiguriert (ABZ-Interpolationsrate = 250).  
Die Oszillatorfrequenz beträgt 26 MHz.  
Die maximale Eingangsfrequenz wird aus den vorgegebenen Parametern bestimmt.

CFG1/MFAST = 1 CFG1/MABZ = 1 $N = 2^{CFG1-TPP(2:0)} > 150\text{ ns} \cdot 26\text{ MHz} \rightarrow N > 3.9$ CFG1-TPP(2:0)='010' → N = 4 $f_{MAX} = 0.9 \cdot 26\text{ MHz} \cdot 8 / (4 \cdot 2000)$ $f_{MAX} = 23.4\text{ kHz}$
--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------

## 11.7 Konfiguration der Schnittstellen SPI/BiSS/SSI

Die Konfiguration der ausgewählten seriellen Schnittstelle *GC-NIP* erfolgt nach den Anforderungen des Schnittstellenmasters sowie dem Datenformat der Positionsdaten innerhalb der Software. Siehe dazu Abschnitte 8.1,8.2,8.3 sowie 7.8

### Beispiel a) SPI-Mode

Der Zählwert sowie Statusinformationen sollen so schnell wie möglich gelesen werden.

Konfiguration	Wert	Bemerkung
CFG2/ASYNC	1	Maximale Datenrate an SPI-Schnittstelle
CFG2/SYNC	beliebig	CNT1 und CNT2 erfordern keinen speziellen Wert in SYNC(6:0)
CFGBISS/STSEL	beliebig	Register POSIT wird nicht verwendet
CFGBISS/STBIT	beliebig	Register POSIT wird nicht verwendet
CFGBISS/GRAY	beliebig	Register POSIT wird nicht verwendet
CFGBISS/READ32	beliebig	BiSS-Interface nicht aktiv
CFGBISS/BISSTO	beliebig	BiSS-Interface nicht aktiv
CFGBISS/RING	beliebig	SSI-Interface nicht aktiv
CFGBISS/SSITO	beliebig	SSI-Interface nicht aktiv
CFGBISS/SSI20	beliebig	SSI-Interface nicht aktiv

### Beispiel b) SPI-Mode

Alle Datenregister werden mittels Software-Timer gelesen.

Konfiguration	Wert	Bemerkung
CFG2/ASYNC	0	Äquidistante Messung per Software-Timer
CFG2/SYNC	64dez	Einige Register verlangen diesen Wert
CFGBISS/STSEL	00bin	Register POSIT enthält Noniusergebnis, Register CNT1 und CNT2 die Interpolationszähler
CFGBISS/STBIT	30dez	Die maximale Bitanzahl wird für die Singleturn-Daten verwendet
CFGBISS/GRAY	0	Per SPI-Schnittstelle werden üblicherweise Binärdaten übertragen
CFGBISS/READ32	beliebig	BiSS-Interface nicht aktiv
CFGBISS/BISSTO	beliebig	BiSS-Interface nicht aktiv
CFGBISS/RING	beliebig	SSI-Interface nicht aktiv
CFGBISS/SSITO	beliebig	SSI-Interface nicht aktiv
CFGBISS/SSI20	beliebig	SSI-Interface nicht aktiv

### Beispiel c) BiSS-C-Mode

Die Übertragung soll im Binärcode erfolgen.

Die Taktfrequenz des GC-NIP beträgt 26MHz.

Per BiSS-Registerzugriff sollen ausschließlich Konfigurationsdaten gelesen und geschrieben werden.

Konfiguration	Wert	Bemerkung
CFG2/ASYNC	beliebig	Keine Übertragung von Datenregistern per Registerzugriff
CFG2/SYNC	beliebig	Keine Übertragung von Datenregistern per Registerzugriff
CFGBISS/STSEL	00bin	Register POSIT sowie die BiSS-SCD enthalten Noniusergebnis
CFGBISS/STBIT	30dez	30 Bit Singleturn-Daten, es werden 2 führende 0-Bit angefügt, um insgesamt 32 Bit zu erhalten
CFGBISS/GRAY	0	Binärcode
CFGBISS/READ32	0	Keine Übertragung von Datenregistern per Registerzugriff
CFGBISS/BISSTO	9	BiSS-Timeout = $512/26 \text{ MHz} = 19.7 \mu\text{s}$
CFGBISS/RING	beliebig	SSI-Interface nicht aktiv
CFGBISS/SSITO	beliebig	SSI-Interface nicht aktiv
CFGBISS/SSI20	beliebig	SSI-Interface nicht aktiv



**Beispiel d) SSI-Mode 20 Bit**

Die Übertragung soll im Graycode erfolgen.

Die Taktfrequenz des GC-NIP beträgt 8MHz.

Der SSI-Master arbeitet im Ringbetrieb mit einem Timeout von 18 µs.

Konfiguration	Wert	Bemerkung
CFG2/ASYNC	beliebig	Beliebig für SSI
CFG2/SYNC	beliebig	Beliebig für SSI
CFGBISS/STSEL	00bin	Register POSIT sowie die SSI-Daten enthalten Noniusergebnis
CFGBISS/STBIT	30dez	Die maximale Bitanzahl wird für die Singleturn-Daten verwendet
CFGBISS/GRAY	1	Graycode
CFGBISS/READ32	beliebig	BiSS-Interface nicht aktiv
CFGBISS/BISSTO	beliebig	BiSS-Interface nicht aktiv
CFGBISS/RING	1	Ringbetrieb möglich
CFGBISS/SSITO	141dez	SSI-Timeout = 144 / 8 MHz = 18µs
CFGBISS/SSI20	1	SSI-Interface arbeitet mit 20 Bit

## 11.8 BiSS-Konfigurationsdatei *idbiss4743.xml*

Zur automatischen Erkennung des GC-NIP an BiSS-C-Mastergeräten kann die Datei *idbiss4743.xml* verwendet werden. Zur korrekten Erkennung des Datenformats der Single-Cycle-Daten (SCD) wird empfohlen, die Herstellerkennung im BiSS-Bereich anhand der im EEPROM programmierten Einstellung für das Datenformat der Positionsdaten zu ändern (der Inhalt der Positionsdaten ist abhängig von der Konfiguration von CFGBISS/STSEL; siehe Abschnitt 7.8).

CFGBISS/STSEL	Empfohlene Herstellerkennung	SCD (Pos 0)	SCD (Pos 1)	SCD (Pos 2)	SCD (Pos 3)
00bin	0x32 0x03 0x00 0x00	10 Bit Unbenutzt	22 Bit Nonius	1 Bit Fehler	1Bit Warnung
01bin	0x32 0x03 0x01 0x00	2 Bit Unbenutzt	30 Bit Zählwert 1	1 Bit Fehler	1Bit Warnung
10bin	0x32 0x03 0x02 0x00	2 Bit Unbenutzt	30 Bit Zählwert 2	1 Bit Fehler	1Bit Warnung
11bin	0x32 0x03 0x03 0x00	16 Bit Zählwert 1	16 Bit Zählwert 2	1 Bit Fehler	1Bit Warnung

