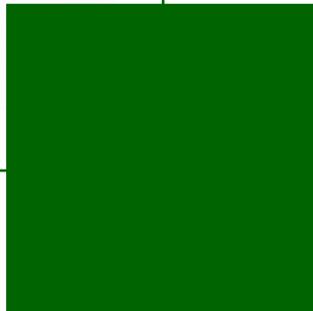
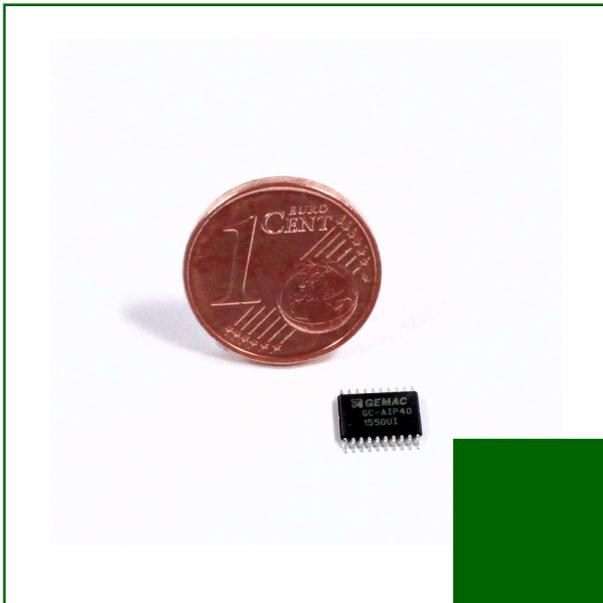


AIP40

Datenblatt

Version: 1.5
Datum: 26.01.2017



Revisionsübersicht

Datum	Revision	Änderung(en)
07.12.05	1.00	Data Sheet
19.12.05	1.10	RoHS Version
10.02.06	1.20	Korrekturen & Erweiterungen
19.09.06	1.30	Erweiterung Applikationsschaltungen
25.01.11	1.40	Korrektur Grenzwert V(V0)
26.01.2017	1.5	AMAC spezifische Änderungen des Dokumentenlayouts

© Copyright 2017 AMAC ASIC- und Mikrosensoranwendung Chemnitz GmbH

Unangekündigte Änderungen vorbehalten.

Wir arbeiten ständig an der Weiterentwicklung unserer Produkte. Änderungen des Lieferumfangs in Form, Ausstattung und Technik behalten wir uns vor. Aus den Angaben, Abbildungen und Beschreibungen dieser Dokumentation können keine Ansprüche abgeleitet werden. Jegliche Vervielfältigung, Weiterverarbeitung und Übersetzung dieses Dokumentes sowie Auszügen daraus bedürfen der schriftlichen Genehmigung durch die AMAC. Alle Rechte nach dem Gesetz über das Urheberrecht bleiben AMAC ausdrücklich vorbehalten.

Inhaltsverzeichnis

1 Übersicht.....	5
2 Eigenschaften.....	5
3 Bestellinformationen.....	6
4 Anschlussbelegung.....	6
4.1 Gehäuse.....	7
5 Konfiguration.....	8
6 Funktionsbeschreibung.....	9
6.1 Eingangverstärker.....	9
6.2 Interpolation.....	9
6.3 Hysterese.....	10
6.4 Flankenabstandskontrolle.....	11
7 Kennwerte.....	12
8 Applikationshinweise.....	14
8.1 Allgemeine Hinweise.....	14
8.2 4-Wertige Logik.....	14
8.3 Sensorabgleich.....	15
8.4 Applikationsschaltungen.....	15
9 Notizen.....	19

Tabellenverzeichnis

Tabelle 1 Anschlussbelegung	6
Tabelle 2 Konfiguration Interpolation	8
Tabelle 3 Konfiguration Eingangverstärker	8
Tabelle 4 Konfiguration Hysterese	8
Tabelle 5 Konfiguration Flankenabstand	8
Tabelle 6 Beschreibung Eingangverstärker	9
Tabelle 7 Nullpunktsignal	10
Tabelle 8 Absolute Grenzwerte	12
Tabelle 9 Betriebsbedingungen	12
Tabelle 10 Kennwerte analog	12
Tabelle 11 Kennwerte Interpolation	12
Tabelle 12 Kennwerte Konfiguration / Kennwerte digital	13
Tabelle 13: Ansteuerung 4-wertige Konfigurationspin mit 2 Controller-Pins	14
Tabelle 14: Übersicht Interpolationsraten bei Direktanschluss der Controller-Pins	14
Tabelle 15: Übersicht Verstärkungseinstellung bei Direktanschluss der Controller-Pins	14
Tabelle 16: Sensorabgleich	15

Abbildungsverzeichnis

Abbildung 1: Blockschaltbild.....	5
Abbildung 2: AIP40-TSSOP20.....	6
Abbildung 3: Gehäuse.....	7
Abbildung 4: Eingangssignale Instrumentationsverstärker.....	9
Abbildung 5: Referenzpunkt komparator.....	9
Abbildung 6: Eingangssignale Interpolation.....	10
Abbildung 7: Ausgangssignale Interpolation.....	10
Abbildung 8: Digitale Hysterese.....	10
Abbildung 9: Minimaler Flankenabstand.....	11
Abbildung 10: Konfiguration Flankenabstand.....	11
Abbildung 11: Betriebsspannungsabhängigkeit Flankenabstand.....	11
Abbildung 12: Sensor mit differentiellen Ausgangssignalen.....	15
Abbildung 13: Sensor mit Single-ended Ausgangssignalen.....	15
Abbildung 14: Sensor mit Single-ended Ausgangssignalen.....	16
Abbildung 15: Sensor mit Stromsignalen bzw. Photodiodenarray.....	16
Abbildung 16: Sensor ohne Referenzpunktsignal.....	16
Abbildung 17: Konfiguration.....	16
Abbildung 18: Rechteckausgänge.....	16
Abbildung 19: Flankenabstand und Hysterese.....	16
Abbildung 20: Sensor mit antiparallelen Photodioden.....	17
Abbildung 21: Photodiodenarray mit gemeinsamer Katode bzw. Anode.....	17
Abbildung 22: Sensoren mit einer Nominalamplitude von 2Vpp.....	18
Abbildung 23: Standardapplikation.....	18

1 Übersicht

Der Interpolationsschaltkreis AIP40 dient zur Auflösungserhöhung von inkrementale Weg- und Winkelmesssysteme mit sinusförmigen, um 90° phasenverschobenen Ausgangssignalen. Der IC ist sowohl für Sensoren mit einer standardisierten Spannungs- bzw. Stromschnittstelle, als auch für den Direktanschluss von Photodiodenarrays und Sensormessbrücken geeignet. Ein einstellbarer Mindestflankenabstand am Ausgang sowie programmierbare analoge und digitale Hysterese ermöglichen den Einsatz des IC auch bei gestörten Eingangssignalen.

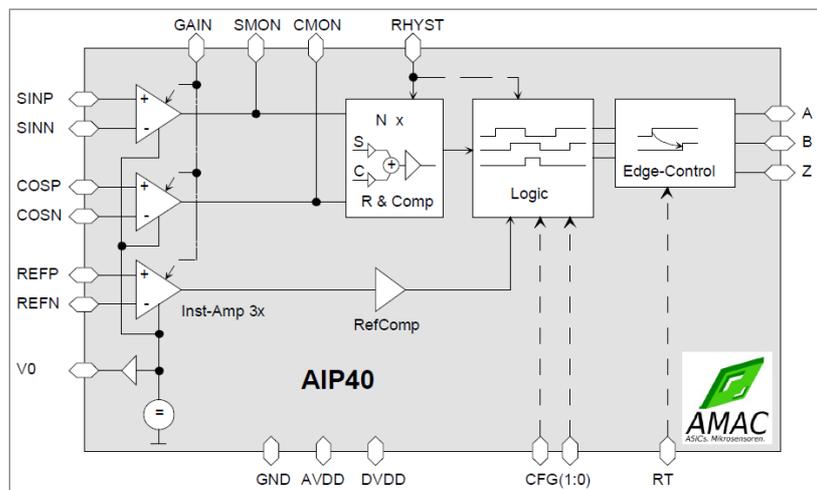


Abbildung 1: Blockschaltbild

2 Eigenschaften

Eigenschaften	
Eingangssignale	Sinus- / Cosinus- / Referenzsignal Differentiell / single-ended Einstellbare Verstärkung für 1V _{pp} / 660mV _{pp} / 530mV _{pp} / 80mV _{pp}
Ausgangssignale	90°-Rechteckfolgen (A/B/Z); TTL- und CMOS-kompatibel
Interpolationsrate	40 / 32 / 20 / 16 / 8 / 4 Flanken pro Sinusperiode
Eingangsfrequenz	Maximal 1.2MHz für Interpolationsraten ≤ 20 Maximal 750kHz für Interpolationsrate = 32 Maximal 600kHz für Interpolationsrate = 40
Störunterdrückung	Einstellbare Hysterese analog Einstellbare Hysterese digital Einstellbarer Mindestflankenabstand am Ausgang
Nullsignalverarbeitung	Einstellbare Breite des Referenzsignals am Ausgang
Gehäuse	TSSOP20 - 4.4mm, Pitch 0.65

3 Bestellinformationen

Produkttyp	Beschreibung/Unterscheidung	Artikelnummer
GC-AIP40	Interpolationsschaltkreis GC-AIP40, TSSOP20, RoHS konform	PR-43800-50

4 Anschlussbelegung

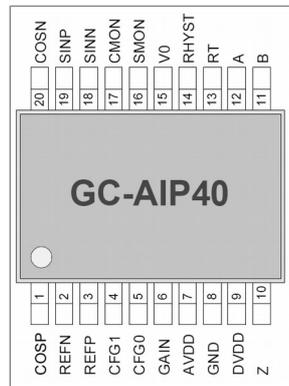


Abbildung 2: AIP40-TSSOP20

Tabelle 1 Anschlussbelegung

Pin	Name	Typ	Bedeutung
1	COSP	Eingang analog	Eingang Cosinus positiv
2	REFN	Eingang analog	Eingang Referenzsignal negativ
3	REFP	Eingang analog	Eingang Referenzsignal positiv
4	CFG1	Konfiguration digital (4-wertig)	Konfiguration der Interpolation
5	CFG0	Konfiguration digital (4-wertig)	Konfiguration der Interpolation
6	GAIN	Konfiguration digital (4-wertig)	Verstärkungseinstellung
7	AVDD	Power	Versorgungsspannung +5V analog
8	GND	Power	Masse analog und digital
9	DVDD	Power	Versorgungsspannung +5V digital
10	Z	Ausgang digital	Ausgang Nullsignal (Referenzsignal / Index)
11	B	Ausgang digital	Inkrementalausgang B
12	A	Ausgang digital	Inkrementalausgang A
13	RT	Konfiguration analog/digital	Konfiguration des minimalen Flankenabstandes
14	RHYST	Konfiguration analog/digital	Konfiguration von analoger und digitaler Hysterese
15	V0	Ausgang analog	Mittenspannung 2.25V
16	SMON	Ausgang analog	Monitorsignal Sinus
17	CMON	Ausgang analog	Monitorsignal Cosinus
18	SINN	Eingang analog	Eingang Sinus negativ
19	SINP	Eingang analog	Eingang Sinus positiv
20	COSN	Eingang analog	Eingang Cosinus negativ

4.1 Gehäuse

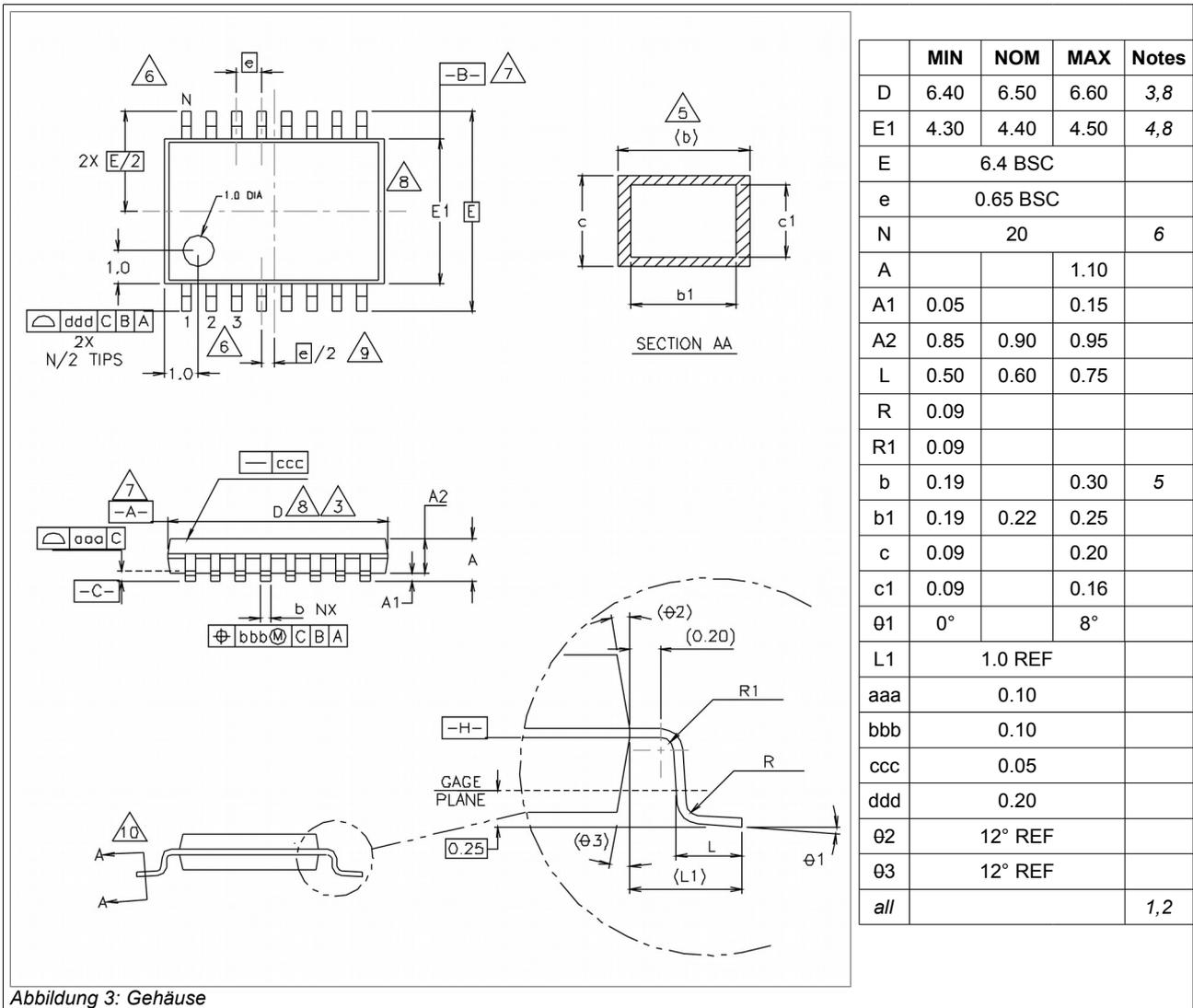


Abbildung 3: Gehäuse

Notes:

- 1 All dimensions are in millimeters (angles in degrees)
- 2 Dimensioning and tolerancing per asme Y14.5M – 1994
- 3 Dimension 'D' does not include mold flash, protrusions or gate burrs. Mold flash, protrusions or gate burrs shall not exceed 0.15 per side.
- 4 Dimension 'E1' does not include interlead flash or protrusion. Interlead flash or protrusion shall not exceed 0.25 per side.
- 5 Dimension 'b' does not include dambar protrusion. Allowable dambar protrusion shall be 0.08 mm total in excess of the 'b' dimension at maximum material condition. Dambar can not be located on the lower radius of the foot. Minimum space between protrusion and adjacent lead is 0.07mm for 0.5 mm pitch packages.
- 6 Terminal numbers are shown for reference only.
- 7 Datums -A- and -B- to be determined at datum plane -H-.
- 8 Dimensions 'D' and 'E1' are to be determined at datum plane -H-.
- 9 This dimension applies only to variations with an even number of leads per side, the „center“ lead must be coincident with the package centerline, datum A.
- 10 Cross section A-A to be determined at 0.10 to 0.25 mm from the leadtip.
- 11 This variation is not registered with JEDEC.



5 Konfiguration

Tabelle 2 Konfiguration Interpolation

CFG1	CFG0	IRATE	Rechteckperioden	Ausgang Z	Eingangsfrequenz
GND	GND	40-fach	10 Perioden	1 Inkrement	≤ 600kHz
GND	AVDD	32-fach	8 Perioden	1 Inkrement	≤ 750kHz
GND	V0	20-fach	5 Perioden	1 Inkrement	≤ 1200kHz
GND	Offen	16-fach	4 Perioden	1 Inkrement	≤ 1200kHz
AVDD	GND	40-fach	10 Perioden	4 Inkremente	≤ 600kHz
AVDD	AVDD	32-fach	8 Perioden	4 Inkremente	≤ 750kHz
AVDD	V0	20-fach	5 Perioden	4 Inkremente	≤ 1200kHz
AVDD	Offen	16-fach	4 Perioden	4 Inkremente	≤ 1200kHz
V0	GND	8-fach	2 Perioden	1 Inkrement	≤ 1200kHz
V0	AVDD	4-fach	1 Periode	1 Inkrement	≤ 1200kHz
V0	V0	reserviert			
V0	Offen	reserviert			
Offen	GND	8-fach	2 Perioden	4 Inkremente	≤ 1200kHz
Offen	AVDD	4-fach	1 Periode	4 Inkremente	≤ 1200kHz
Offen	V0	reserviert			
Offen	Offen	reserviert			

① Die Interpolationsrate (IRATE) ist die Anzahl der Inkremente, in die eine Periode der Eingangssignale unterteilt wird. Dies entspricht der Anzahl der Flankenwechsel auf den Ausgangssignalen A und B. Die Anzahl der Rechteckperioden an den Inkrementalausgängen A und B beträgt 1/4 der Interpolationsrate.

Tabelle 3 Konfiguration Eingangsverstärker

GAIN	Amplitude		
	Minimal	Nominal	Maximal
GND	0.6V _{pp}	1.0V _{pp}	1.2V _{pp}
AVDD	400mV _{pp}	666mV _{pp}	800mV _{pp}
V0	320mV _{pp}	530mV _{pp}	640mV _{pp}
Offen	50mV _{pp}	80mV _{pp}	100mV _{pp}

Tabelle 4 Konfiguration Hysterese

RHYST	Hysterese analog	Hysterese digital
Widerstand R gegen GND	$U_{Hyst} = f(R)$	Deaktiviert
Widerstand R gegen AVDD	$U_{Hyst} = f(R)$	1/40 Sinusperiode (IRATE = 40/20) 1/32 Sinusperiode (IRATE = 32/16/8/4)

Tabelle 5 Konfiguration Flankenabstand

RT	Minimaler Flankenabstand t _{pp}		
	Minimal	Nominal	Maximal
Widerstand R gegen GND	25ns	$T_{pp} = f(R)$	1700ns
Verbindung mit AVDD (Mode TPP30)	26ns	33ns	40ns

6 Funktionsbeschreibung

6.1 Eingangsverstärker

Der IC AIP40 enthält drei Instrumentationsverstärker mit einstellbaren Verstärkungsfaktoren. Inkrementalgeber mit Spannungsschnittstelle sowie Messbrücken können direkt angeschlossen werden. Sensoren mit Stromschnittstelle werden mittels einfacher Außenbeschaltung angepasst. Der IC kann sowohl mit Single-ended, als auch mit differentiellen Eingangssignalen arbeiten. Die Verstärkungseinstellung erfolgt am Pin GAIN, welches mit GND, DVDD oder V0 verbunden bzw. offen gelassen wird. Die Verstärkung ist für alle Signale des Sensors (Sinus, Cosinus, Index/Referenz) identisch. Zur Anpassung des AIP40 an kundenspezifische Sensoren steht die Mittenspannung der Instrumentationsverstärker am Pin V0 zur Verfügung.

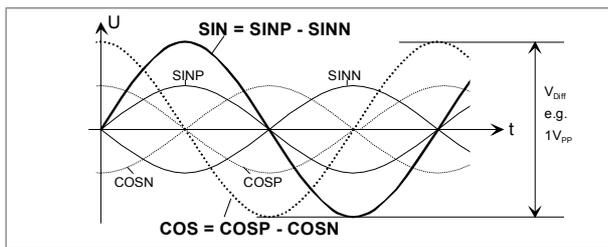


Abbildung 4: Eingangssignale Instrumentationsverstärker

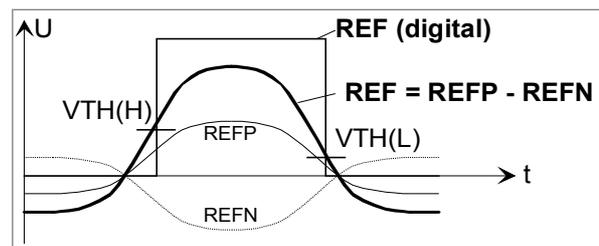


Abbildung 5: Referenzpunktkomparator

Tabelle 6 Beschreibung Eingangsverstärker

Pin GAIN	GND	AVDD	V0	Offen
Eingangsspannung für differentielle Einspeisung ¹⁾ (mVpp)	500	333	265	40
Eingangsspannung UDiff nominal (mVpp)	1000	666	530	80
Eingangsspannungsbereich für UDiff (mVpp)	600-1200	400-800	320-640	60-100
Untere Schaltschwelle Referenzkomparator (mV nominal)	12	8	6	1
Obere Schaltschwelle Referenzkomparator (mV nominal)	30	20	15	3

¹⁾ an jedem der Eingänge SINP, SINN, COSP, COSN

ⓘ Falls der IC mit einer nominalen Eingangsspannung von 80mVpp arbeitet, so ist ein externer Offsetabgleich für Sinus, Cosinus und Referenz empfohlen.

6.2 Interpolation

Die Signalperioden der analogen Eingangssignale Sinus (SIN) und Cosinus (COS) werden vervielfacht und als um 90° phasenverschobene Rechteckfolgen an den Ausgängen A und B zur Verfügung gestellt. Bei Anschluss eines Interpolationszählers mit Vierfachauswertung ergibt sich so eine Unterteilung einer Eingangssignalperiode in bis zu 40 Inkrementen. Die Breite des Nullsignals Z (Referenzimpuls) am Ausgang ist umschaltbar zwischen 1 und 4 Inkrementen, d.h. zwischen 1/4 und 1 Periode der Ausgangssignale A und B. Das Nullsignal wird generiert, wenn die Analogsignale Sinus und Cosinus den Phasenwinkel 45° aufweisen und gleichzeitig die Differenzspannung der Referenzeingänge REFP und REFN die Schaltschwelle überschreitet. Ist der IC auf die Referenzpunktbreite 1 Inkrement (1/4 Periode) konfiguriert, müssen außerdem die Ausgänge A und B gleich H sein.

Tabelle 7 Nullpunktsignal

IRATE	Phasenwinkel Nullsignal Z	
	Breite = 1 Inkrement = ¼ Periode	Breite = 4 Inkremente = 1 Periode
40-fach	45° ... 54°	36° ... 72°
32-fach	45° ... 56.25°	33.75° ... 78.75°
20-fach	36° ... 54°	18° ... 90°
16-fach	33.75 ... 56.25°	11.25° ... 101.25°
8-fach	22.5° ... 67.5°	-22.5° ... 157.5° bzw. wie Signale REF _P /REF _N
4-fach	0 ... 90°	wie Signale REF _P /REF _N

① Die Lage des Nullsignals Z am Ausgang verschiebt sich zeitlich, sobald die digitale Hysterese aktiviert ist. Für die Interpolationsraten 40 und 20 beträgt diese Verschiebung 1/40 Sinusperiode = 9°, für alle anderen Interpolationsraten ist sie 1/32 Sinusperiode = 11.25°.

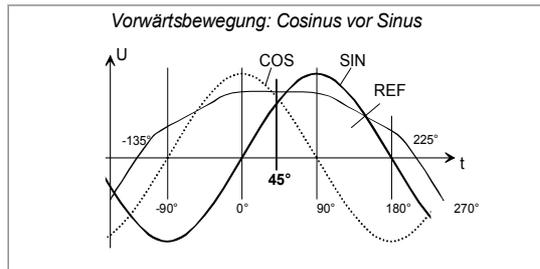


Abbildung 6: Eingangssignale Interpolation

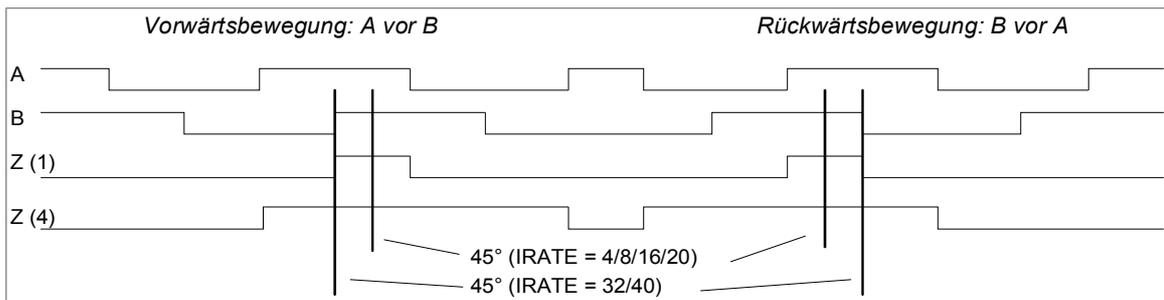


Abbildung 7: Ausgangssignale Interpolation

6.3 Hysterese

Um das Flankenrauschen der Ausgangssignale bei niedrigen Eingangsfrequenzen sowie Stillstand zu unterdrücken, kann sowohl die analoge, als auch die digitale Hysterese konfiguriert werden. Der Wert der analogen Hysterese wird über den Widerstand am Pin R_{HYST} festgelegt. Damit ist eine Störunterdrückung auch für Echtzeitsysteme möglich, ohne dass der feste Bezug von Ein- und Ausgangssignalen verloren geht. Bei Aktivierung der digitalen Winkelhysterese am Pin R_{HYST} wird das Schalten der Ausgänge bei statischen Eingangssignalen verhindert. Alle Ausgangssignale werden hierbei um 1 Winkelinkrement (9° bzw. 11.25°) verzögert. Das folgende Bild zeigt die Auswirkung der digitalen Hysterese bei einem Richtungswechsel am Beispiel der Interpolationsrate 16 Flanken pro Periode

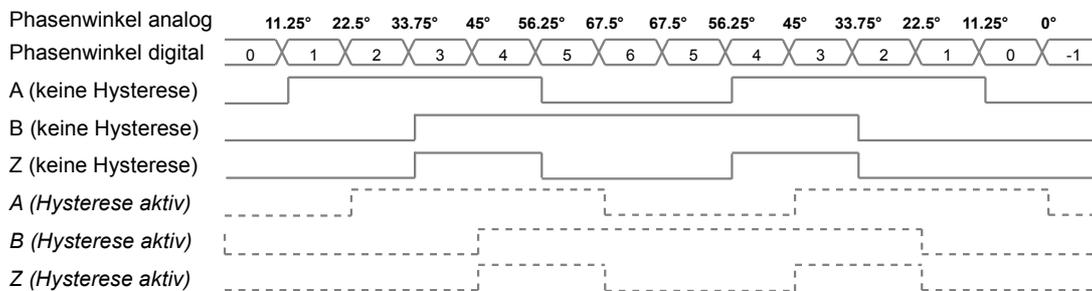


Abbildung 8: Digitale Hysterese

6.4 Flankenabstandskontrolle

Der minimale zeitliche Abstand t_{pp} , zu dem die Ausgangssignale A und B schalten dürfen ist einstellbar. Nach dem Schalten eines der Ausgänge wird die nächstfolgende Flanke des anderen Signals erst am IC-Ausgang sichtbar, wenn die Zeit t_{pp} abgelaufen ist. So kann auch im Falle einer kurzzeitigen Störung der Eingangssignale ein nachfolgend angeschlossener Interpolationszähler fehlerfrei arbeiten. Es existiert jedoch keine Synchronisierung mit einem Takt. Im Regelfall erscheinen die Ausgangsflanken unverzögert.

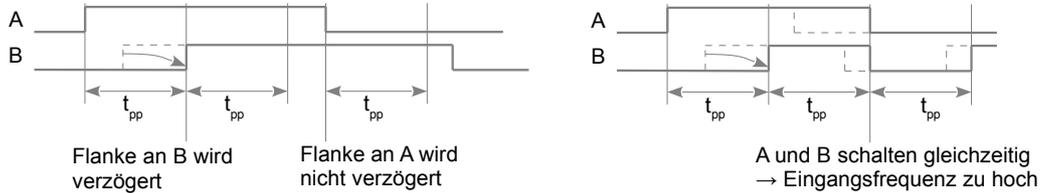


Abbildung 9: Minimaler Flankenabstand

Die maximale Frequenz der analogen Eingangssignale wird durch den minimalen Flankenabstand und die Interpolationsrate bestimmt. Sie wird begrenzt durch Signalfehler der Eingangssignale. Eine Überschreitung dieser Frequenz wird durch das gleichzeitige Umschalten der Ausgangssignale A und B signalisiert. Ist die Eingangsfrequenz größer als das 3-fache der am Pin RT eingestellten Maximalfrequenz, so ist das Verhalten der Signale A, B und Z undefiniert.

Die Konfiguration des minimalen Flankenabstandes erfolgt am Pin RT . Mittels eines Widerstandes gegen GND kann diese Zeit im Intervall von 30ns bis 1ms eingestellt werden. Zu beachten sind Streuung und Betriebsspannungsabhängigkeit des eingestellten Wertes. Wird das Pin RT mit $AVDD$ verbunden, so arbeitet der IC mit einem minimal eingestellten Flankenabstand von 33ns (Mode $TPP30$). Diese Zeit kann zwischen 26ns und 40ns streuen.

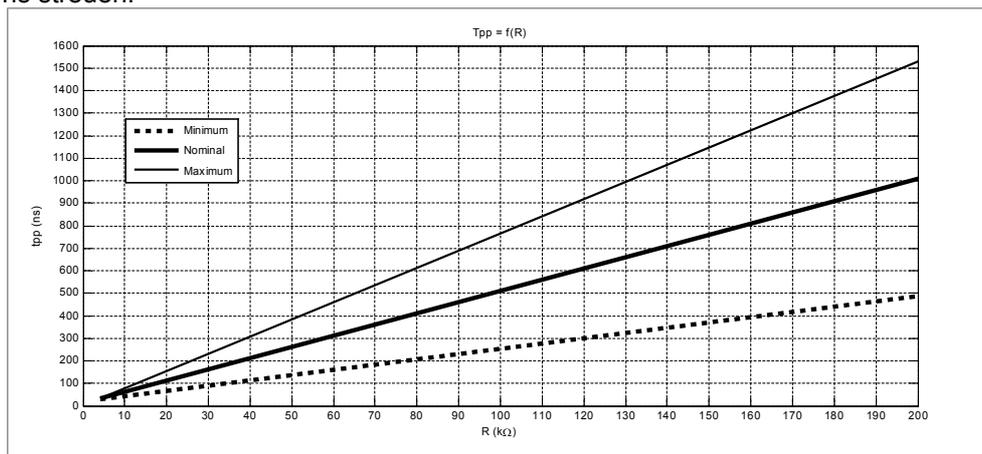


Abbildung 10: Konfiguration Flankenabstand

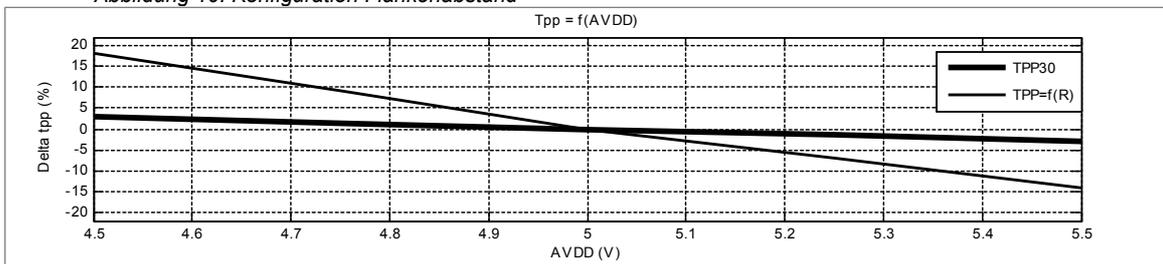


Abbildung 11: Betriebsspannungsabhängigkeit Flankenabstand

7 Kennwerte

Tabelle 8 Absolute Grenzwerte

Symbol	Kennwert	Min.	Typ.	Max.	Einheit
VDD	Versorgungsspannung analog / digital			7.0 ³⁾	V
TJ	Betriebstemperatur	-40		120	°C
TS	Lagertemperatur	-55		150	°C
V(AIN)	Spannung an den Analogeingängen ¹⁾	-0.3		AVDD+0.3	V
V(CFG)	Spannung an den Konfigurationseingängen ²⁾	-0.3		AVDD+0.3	V

¹⁾ Pins SINP, SINN, COSP, COSN, REFP, REFN, ²⁾ Pins RT, RHYST, GAIN, CFG0, CFG1, ³⁾ t < 250ms, T < 60°C

Tabelle 9 Betriebsbedingungen

Symbol	Kennwert	Min.	Typ.	Max.	Einheit
VDD	Versorgungsspannung analog / digital	4.5	5.0	5.5 ¹⁾	V
I(AVDD)	Stromaufnahme analog		25	33	mA
I(DVDD)	Stromaufnahme digital		3	5	mA
TOP	Betriebstemperatur	-40 ¹⁾		120	°C

¹⁾ Minimaltemperatur und Maximalspannung sind nicht gleichzeitig zulässig; Falls TOP < -15°C, dann ist VDD(max) = 5.25V

Tabelle 10 Kennwerte analog

Symbol	Kennwert	Min.	Typ.	Max.	Einheit
Z(AIN)	Eingangsimpedanz		1GΩ 8pF		
Gain	Verstärkung (lt. Tabelle)	98	100	102	%
V _{MON}	AC-Spannung an <i>S_{MON}</i> und <i>C_{MON}</i> nominal		2.4		V _{pp}
f _g	Grenzfrequenz (Dämpfung 1dB) @ GAIN = GND/VCC/V0	1200			kHz
f _g (80mV)	Grenzfrequenz (Dämpfung 1dB) @ GAIN = offen (80mV _{pp})	250			kHz
V _{os}	Eingangsoffsetspannung	-20		20	mV
φ(AIN)	Phasenverschiebung SIN/COS (f = 600kHz, GAIN = GND/VCC/V0)			30	°
V _{CM}	Gleichtakteingangsspannungsbereich	0.5		3.7	V
CMRR	Gleichtaktunterdrückung (@ f < 1kHz, GAIN = GND)	50			dB
U(V0)	Spannung am Pin V0	2.10	2.25	2.40	V
V _{TH} (REFL)	Untere Schaltschwelle Referenz/Index-Komparator		1.2		%VINNOM ¹⁾
V _{TH} (REFH)	Oberere Schaltschwelle Referenz/Index-Komparator		3		%VINNOM ¹⁾
I(V0)	Ausgangsstrom am Pin V0			0.5	mA

¹⁾Nominalwert der Differenzspannung von SINP-SINN bzw. COSP-COSN

Tabelle 11 Kennwerte Interpolation

Symbol	Kennwert	Min.	Typ.	Max.	Einheit
f _{IP_40}	Eingangsfrequenz @ IR = 40, GAIN = GND/VCC/V0	0		600	kHz
f _{IP_32}	Eingangsfrequenz @ IR = 32, GAIN = GND/VCC/V0	0		750	kHz
f _{IP}	Eingangsfrequenz @ IR = 20/16/8/4, GAIN = GND/VCC/V0	0		1200	kHz
f _{IP_80mV}	Eingangsfrequenz @ GAIN = offen	0		250	kHz
EABS	Absoluter Winkelfehler ¹⁾		± 0.5	± 0.9	Inkrement
EDIFF	Differentieller Winkelfehler ¹⁾		± 0.3	± 0.4	Inkrement
T _{pp} (L)	Mindestflankenabstand @ Pin RT = L	25		1700	ns
T _{pp} (H)	Mindestflankenabstand @ Pin RT = H	26	33	40	ns

¹⁾ Eingangsspannungsbereich 1V_{pp}

Tabelle 12 Kennwerte Konfiguration / Kennwerte digital

Symbol	Kennwert	Min.	Typ.	Max.	Einheit
VOH	Ausgangsspannung H ¹⁾	80			%DVDD
VOL	Ausgangsspannung L ¹⁾			0.4	V
I(DIG)	Ausgangsstrom digital ¹⁾			4	mA
VTH(L-O)	Schwellspannung L / offen ²⁾	7	10	13	%DVDD
VTH(O-V0)	Schwellspannung offen / V0 ²⁾	33	36	39	%DVDD
VTH(V0-H)	Schwellspannung V0 / H ²⁾	87	90	93	%DVDD
V(CFG0)	Klemmspannung wenn offen ²⁾	1.10	1.15	1.20	V
VTH(RHyst)	Schwellspannung L/H am Pin <small>RHYST</small>		50		%DVDD
VTH(RT)	Schwellspannung L/H am Pin <small>RT</small>		85		%DVDD
R(RHYST)	Konfigurationswiderstand Hysterese	47	160	160	kΩ
R(RT)	Konfigurationswiderstand Flankenabstand	4		200	kΩ

¹⁾ Pins A, B, Z, ²⁾ Pins CFG0,CFG1,GAIN

8 Applikationshinweise

8.1 Allgemeine Hinweise

- Alle IC-Eingänge müssen definiert beschaltet werden.
- An den Pins $AVDD$ und $DVDD$ sind Block-Kondensatoren vorzusehen.
- Am Pin $V0$ ist ein Kondensator von 100nF erforderlich.
- Falls $CFG1$ oder $CFG0$ offen sind, muss die Leitungslänge an diesen Pins $\leq 10\text{cm}$ sein, ansonsten ist ein zusätzlicher Kondensator von 1nF direkt am IC-Pin vorzusehen.

8.2 4-Wertige Logik

Um alle Konfigurationsmöglichkeiten mit einer kleinen Gehäusegröße zu vereinbaren, enthält der AIP40 Konfigurationsspins, welche mit 4-wertiger Logik arbeiten. Die Ansteuerung der Konfigurationsspins geschieht in der Regel über Lötfelder auf der Leiterplatte, um die benötigte Fläche zu minimieren. Falls im System ein Controller zur Ansteuerung vorhanden ist, so stehen die folgenden Möglichkeiten der Beschaltung zur Verfügung:

Version 1 – Zwei CMOS-Controller-Pins, tristatefähig

Pin A wird direkt an das Konfigurationsspin geschaltet, Pin B über einen Widerstand von 68...75 K Ω .

Tabelle 13: Ansteuerung 4-wertige Konfigurationsspin mit 2 Controller-Pins

Pin A	Pin B	Spannung am Config-Pin	Zustand
L	Z	<0.4V	Low
H	Z	>4.7V	High
Z	Z	ca. 1.15V	offen
Z	H	ca. 2.5V – 3.5V	V0

Version 2 – Ein Controllerpin; Verzicht auf Konfigurationsmöglichkeiten

Falls die Konfigurationsspins des AIP40 von je einem Controllerpin angesteuert werden, so stehen die folgenden Konfigurationen des AIP40 zur Verfügung:

Tabelle 14: Übersicht Interpolationsraten bei Direktanschluss der Controller-Pins

Interpolationsrate	Ausgang Z	Ansteuerung Digital	Ansteuerung Digital+Tristate
40	1 Inkrement	√	√
32	1 Inkrement	√	√
20	1 Inkrement		
16	1 Inkrement		√
8	1 Inkrement		
4	1 Inkrement		
40	4 Inkrement	√	√
32	4 Inkrement	√	√
20	4 Inkrement		
16	4 Inkrement		√
8	4 Inkrement		√
4	4 Inkrement		√

Tabelle 15: Übersicht Verstärkungseinstellung bei Direktanschluss der Controller-Pins

Nominalamplitude	Ansteuerung Digital	Ansteuerung Digital+Tristate
1 V _{pp}	√	√
666mV _{pp}	√	√
530mV _{pp}		
80mV _{pp}		√

8.3 Sensorabgleich

Zur Kontrolle und Abgleich des Sensors sind die Ausgangssignale der Instrumentationsverstärker an den Pins *SMON* und *CMON* sichtbar. Zum Feinabgleich des Sensors können die Ausgangssignale *A*, *B*, *Z* benutzt werden. Dazu wird der IC mit den Interpolationsraten *IRATE=4*-fach bzw. *IRATE=8*-fach betrieben.

Tabelle 16: Sensorabgleich

Nr.	Abgleich	Mode	CFG1	CFG0	Vorschrift
1	Amplitude Sinus/Cosinus	beliebig	beliebig	beliebig	Messung an den Pins <i>SMON</i> und <i>CMON</i> Abgleich am Sensor bis beide Amplituden ca. 2.4 V _{pp} aufweisen.
2	Offset Cosinus	IR: 4-fach Z: 4 Ink.	Offen	AVDD	Bewegung des Sensors; Messung am Pin <i>A</i> Abgleich am Sensor bis Tastverhältnis an <i>A</i> 50% der Periode an <i>CMON</i> entspricht
3	Offset Sinus	IR: 4-fach Z: 4 Ink.	Offen	AVDD	Bewegung des Sensors; Messung am Pin <i>B</i> Abgleich am Sensor bis Tastverhältnis an <i>B</i> 50% der Periode an <i>SMON</i> entspricht
4	Referenz	IR: 4-fach Z: 4 Ink.	Offen	AVDD	Bewegung des Sensors; Messung am Pin <i>Z</i> Abgleich am Sensor bis Signalbreite etwa einer Periode des Sinussignal entspricht
6	Amplitudenverhältnis Sinus/Cosinus	IR: 8-fach Z: 4 Ink.	Offen	GND	Bewegung des Sensors; Messung an <i>A</i> oder <i>B</i> Abgleich am Sensor bis alle Flanken gleichmäßig innerhalb der Sinusperiode (<i>SMON</i>) verteilt sind. (Tastverhältnis an <i>A/B</i> = 50%)

8.4 Applikationsschaltungen

Sensor mit differentiellen Ausgangssignalen	Sensor mit Single-ended Ausgangssignalen
<p>Abbildung 12: Sensor mit differentiellen Ausgangssignalen</p> <ul style="list-style-type: none"> ■ Eingangsamplitude wie am Pin GAIN eingestellt ■ Bezugspegel V0 wird intern bereitgestellt 	<p>Abbildung 13: Sensor mit Single-ended Ausgangssignalen</p> <ul style="list-style-type: none"> ■ Eingangsamplitude wie am Pin GAIN eingestellt ■ Bezugspegel wird vom Sensor bereitgestellt (Source level)

Sensor mit Single-ended Ausgangssignalen

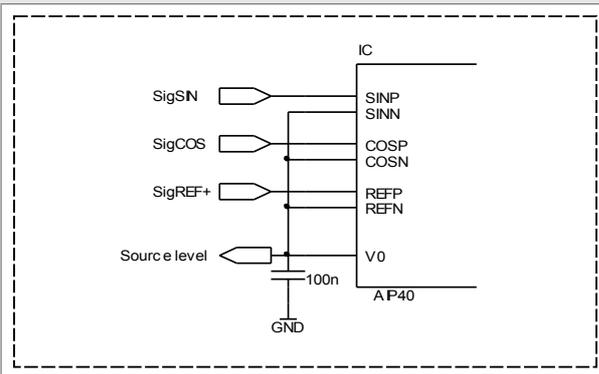


Abbildung 14: Sensor mit Single-ended Ausgangssignalen

- Eingangsamplitude wie am Pin GAIN eingestellt
- Bezugspegel wird vom AIP40 bereitgestellt (Source level)
- Der maximaler Ausgangsstrom am Pin V0 beträgt 500µA

Sensor mit Stromsignalen bzw. Sensor mit Photodiodenarray

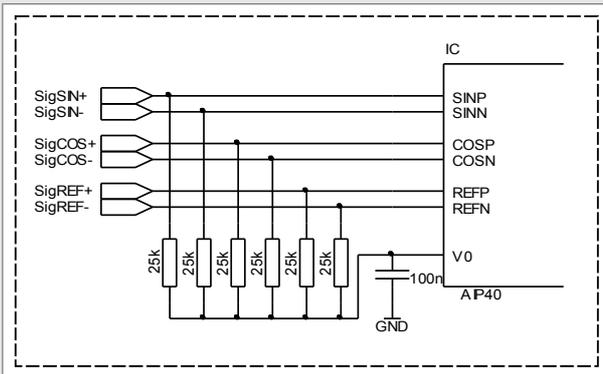


Abbildung 15: Sensor mit Stromsignalen bzw. Photodiodenarray

- Die Eingangsamplitude am Pin GAIN wird auf 530mV nominal eingestellt (Verbindung mit V0).
- Es sind externe Widerstände zwischen den Eingangssignalen und dem Pin V0 erforderlich.
- Der dargestellte Widerstandswert $R=25k\Omega$ gilt für eine Nominalamplitude von $11\mu A$. Er ist auf den vorhandenen Sensor abzustimmen:
 $R = 530mV / (2 \cdot I_{nom})$

Sensor ohne Referenzpunktsignal

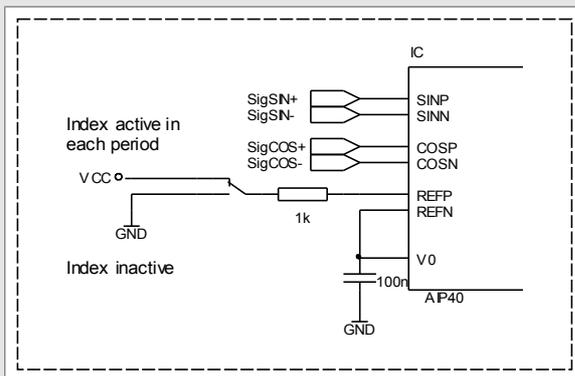


Abbildung 16: Sensor ohne Referenzpunktsignal

- über die Pins REFP und REFN wird ein definierter Zustand (immer aktiv bzw. immer inaktiv) am Ausgang Z eingestellt

Konfiguration

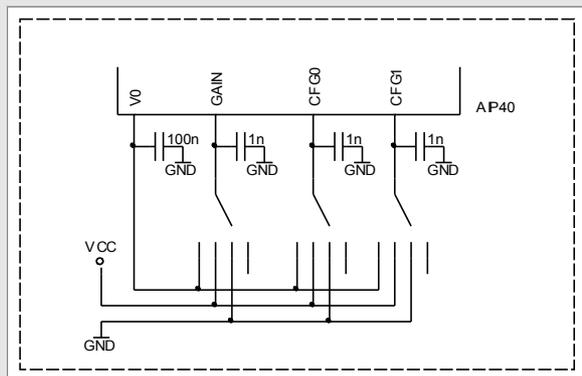


Abbildung 17: Konfiguration

- Die Konfigurationsspins GAIN, CFG0 und CFG1 besitzen eine 4-wertige Logik. Das bedeutet, dass sie zur Auswahl entweder offen gelassen werden oder mit 3 unterschiedlichen Potentials (VCC, GND, V0) verbunden werden können.
- Die genaue Zuordnung ist im Abschnitt Konfiguration ersichtlich.

Rechteckausgänge

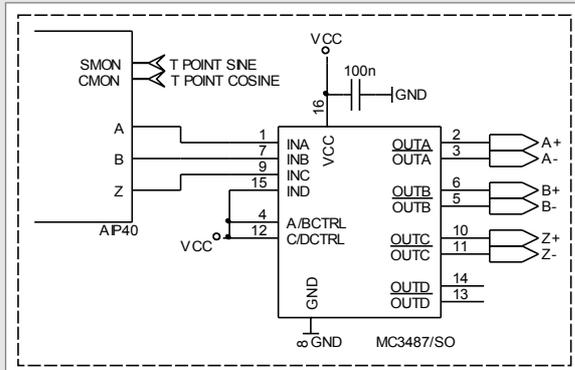


Abbildung 18: Rechteckausgänge

- Die digitalen Ausgänge A, B und Z sind CMOS-Pins mit einer Treiberstärke von 4mA. Daher ist für die Realisierung einer RS422-Schnittstelle ein externer Treiber erforderlich.

Flankenabstand und Hysterese

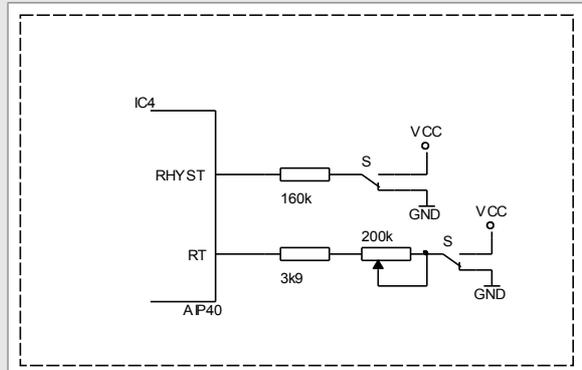


Abbildung 19: Flankenabstand und Hysterese

- Zur Konfiguration von Flankenabstand und Hysterese dient die dargestellte Beschaltung.
- Nähere Informationen sind in den entsprechenden Kapiteln 6.3 und 6.4 ersichtlich.

Sensor mit antiparallelen Photodioden - Abgleichmöglichkeit für Amplitudengleichheit

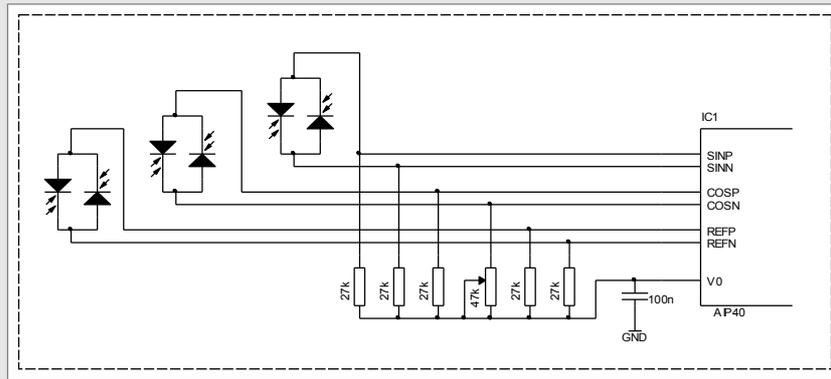


Abbildung 20: Sensor mit antiparallelen Photodioden

- Um nichtlineare Verzerrungen zu vermeiden, muss die Nominalamplitude des AIP40 für diese Art Sensoren auf 530mV_{pp} oder 80mV_{pp} konfiguriert werden.
- Durch Veränderung der Amplitude des Cosinussignals wird Amplitudengleichheit eingestellt. Zur Messung werden die Pins *SMON* und *CMON* verwendet.
- Die dargestellten Widerstandswerte gelten für 10µA_{pp}-Sensoren und eine AIP40-Nominalamplitude von 530mV_{pp}. Es gilt: $R = V_{nom} / (2 \cdot I_{nom})$ und $P_{Ampl} \approx 1.5 \cdot R$

Sensoramplitude / Nominalamplitude AIP40	80mVpp	530mVpp
11µA _{pp}	R = 3.6k / P _{Ampl} = 5k	R = 24k / P _{Ampl} = 33k
16µA _{pp}	R = 2.5k / P _{Ampl} = 3.9k	R = 18k / P _{Ampl} = 27k

Photodiodenarray mit gemeinsamer Katode bzw. Anode - Abgleichmöglichkeiten für Amplitudengleichheit und Offset

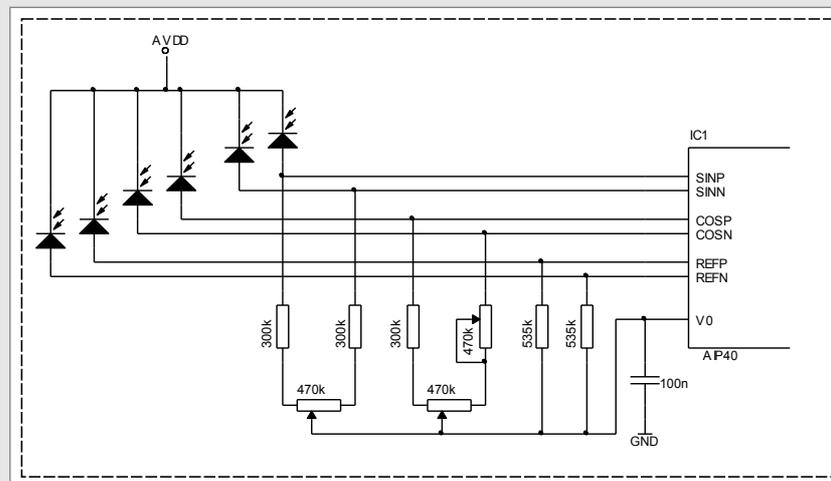


Abbildung 21: Photodiodenarray mit gemeinsamer Katode bzw. Anode

- Als erstes wird durch Veränderung der Amplitude des Cosinussignals Amplitudengleichheit eingestellt. Danach kann der Offset für beide Signale abgeglichen werden. Zur Messung werden die Pins *SMON* und *CMON* verwendet. Die dargestellten
- Widerstandswerte gelten für 0.5µA_{pp}-Sensoren und eine AIP40-Nominalamplitude von 530mV_{pp}.
- Es gilt: $R = V_{nom} / (2 \cdot I_{nom})$. Dieser Widerstand wird teilweise als Potentiometer zum Offsetabgleich ausgeführt: $P_{Offs} \approx R$; $R_{FIX} = R - \frac{1}{2}P_{Offs}$; $P_{Ampl} \approx 1.5 \cdot R_{FIX}$

Sensoramplitude / Nominalamplitude AIP40	80mVpp	530mVpp
0.5µA _{pp}	R _{FIX} = 30k / P _{Offs} = 100k / P _{Ampl} = 47k	R _{FIX} = 300k / P _{Offs} = 470k / P _{Ampl} = 470k
11µA _{pp}	R _{FIX} = 1.2k / P _{Offs} = 5k / P _{Ampl} = 2k	R _{FIX} = 13k / P _{Offs} = 22k / P _{Ampl} = 22k

Sensoren mit einer Nominalamplitude von 2Vpp

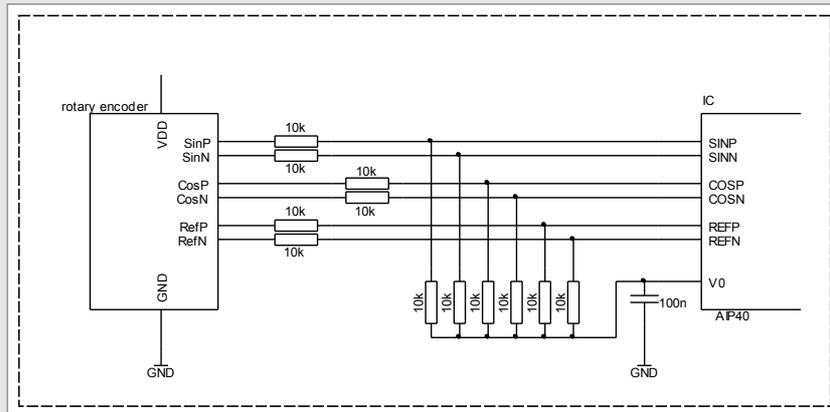


Abbildung 22: Sensoren mit einer Nominalamplitude von 2Vpp

- Die Eingangsamplitude des AIP40 wird am Pin GAIN auf 1Vpp nominal eingestellt
- Externe Widerstände zwischen den Eingangssignalen und dem Pin V0 dienen als Spannungsteiler für die Sensorsignale. Die Amplitude der Sensorsignale wird halbiert.

Standardanwendung

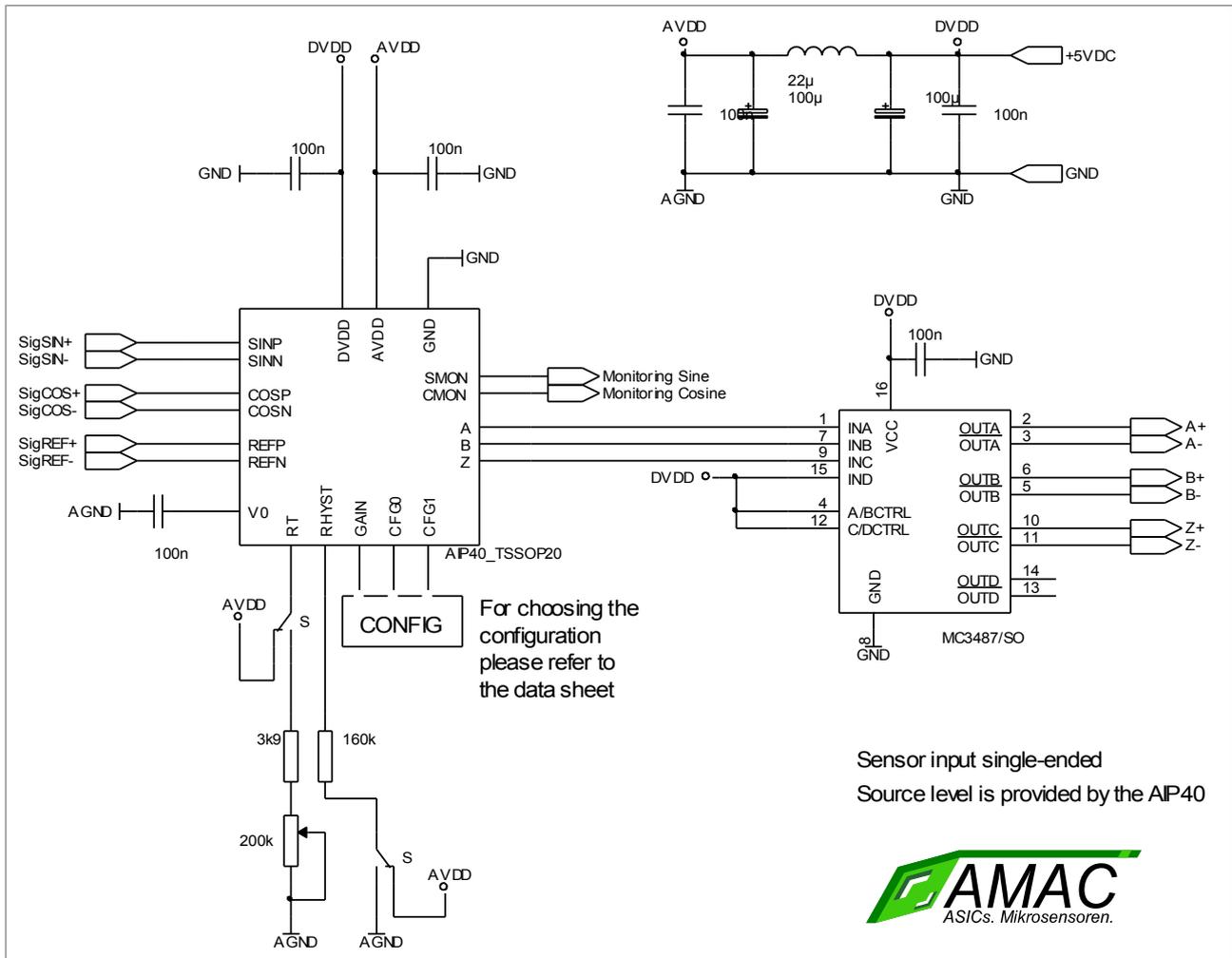


Abbildung 23: Standardanwendung



