



AM-IP4k

Datenblatt

Version: 1.3
Datum: 02.03.2020



Revisionsübersicht

Datum	Revision	Änderung(en)
09.03.2018	1.0	Initiale Version
12.03.2018	1.1	11.1 Layoutvorschlag eingefügt; 9. Register ASIC/Rev Kennung angepasst
07.01.2020	1.2	7.2 Signalanpassung- Inhalte auf 7.2.1 und 7.2.2 (neu) verteilt 7.2.2 Phasenabgleich - Beschreibung Phasenregler hinzugefügt 7.4.1 Interpolationsrate 9. Register CFG2 um IRDiv2 erweitert (Bits 7:5) CFG3 erweitert
02.03.2020	1.3	Eigenschaften Analogeingang bis 220 kHz Tabelle 1: Pinliste QFN56 Test ADC pin 48 und 49 Abbildung 11 Abgleich Referenzsignal aktualisiert MVAL(ZMODE) korrigiert CFG3(ZMODE) Tabelle 24: Kommandos / Steuersignale korrigiert CFG2/TEAEN Messwerttrigger 7.8 Timer korrigiert von $22^{24}f_{osz}$ zu $22^{16}f_{osz}$ Abbildung AM-IP4k Minimalbeschaltung eingefügt Tabelle 5 Konfigurationsoptionen: CFG2/IRDIV2 bei Interpolationsrate CFG4/ZPOS2, CFG2/TRGSLP und CFG2/TEAN CFG3 / PHRENA bei Phasenkorrektur CFGSSI / SSI20 Tabelle 6 CFG2/TEAN korrigiert. Tabelle 11: Register Korrektur bit SPI and EPP-Address bit korrigiert. DISKSC 0x013 [1] zu 0x013 [2] und 0x09[9] zu 0x09[10] DISK360 0x013 [2] zu 0x013 [1] und 0x09[10] zu 0x09[9] Formelnummer 2 aktualisiert Tabelle 18: ABZ-Modi (Register CFG1) MODE 110 gelöscht 7.6.1 Korrekturfehler abschnitt 7.5 geändert zu 7.7.4 7.6 Im Text sieben Möglichkeiten korrigiert 7.7.4 Sensorabgleich Bild : Duty cycle \neq 50 und $\phi > 45$ mit Duty cycle = 50 und $\phi = 45$ getauscht Register CFG1 Konfiguration IR 4:0 Reset-Wert 00000 Register CFG3 Reset-Wert DISZ 0 korrigiert Register CFGSSI CFGSSI / SSI20 korrigiert Register CFGLDR D(6:0) Reset-Wert korrigiert 0000000 Tabelle 35 Kennwerte analog. Abbildung 6 zu Abbildung 9 Abbildung 31 EEPROM Schreiben 31 und EEPROM Lesen getrennt Eigenschaften Interpolationsrate 2560 als Basisinterpolationsrate hinzugefügt Register CFG2 TEAN zu TEAEN

© Copyright 2020 AMAC ASIC- und Mikrosensoranwendung Chemnitz GmbH

Unangekündigte Änderungen vorbehalten.

Wir arbeiten ständig an der Weiterentwicklung unserer Produkte. Änderungen des Lieferumfangs in Form, Ausstattung und Technik behalten wir uns vor. Aus den Angaben, Abbildungen und Beschreibungen dieser Dokumentation können keine Ansprüche abgeleitet werden. Jegliche Vervielfältigung, Weiterverarbeitung und Übersetzung dieses Dokumentes sowie Auszügen daraus bedürfen der schriftlichen Genehmigung durch die AMAC. Alle Rechte nach dem Gesetz über das Urheberrecht bleiben AMAC ausdrücklich vorbehalten.

Inhaltsverzeichnis

1 Übersicht.....	6
2 Eigenschaften.....	7
3 Bestellinformationen.....	7
4 Anwendungsübersicht.....	8
5 Anschlussbelegung.....	9
5.1 Gehäuse.....	10
6 Startverhalten / Konfigurationsoptionen.....	11
6.1 Reset.....	11
6.2 Konfiguration.....	11
7 Funktionsbeschreibung.....	13
7.1 Eingangsverstärker / Tiefpass.....	13
7.2 Signalanpassung.....	14
7.2.1 <i>Amplitude und Offset</i>	14
7.2.2 <i>Phasenabgleich</i>	15
7.3 Signalkorrektur (periodische Fehler).....	15
7.4 Interpolation.....	17
7.4.1 Interpolationsrate.....	17
7.4.2 Flankenabstandskontrolle / Intervallzeit t_{pp} / Hysterese.....	18
7.4.3 Indexsignal Z.....	18
7.5 Betriebsart / Maximale Eingangsfrequenz.....	19
7.6 Sensorüberwachung.....	20
7.6.1 Fehlerquellen.....	21
7.7 Ausgänge ABZ.....	22
7.7.1 Standard ABZ.....	22
7.7.2 Controller / DSP.....	23
7.7.3 Abgleich Referenzposition.....	23
7.7.4 Sensorabgleich.....	23
7.8 Messwerttrigger.....	26
7.9 Messwertregister.....	27
7.10 Zähler-Preset / SPI-Kommandos / Steuersignale.....	28
8 Digitale Schnittstellen.....	29
8.1 Serielle Schnittstelle SPI.....	29
8.1.1 Signale.....	29
8.1.2 Protokoll.....	29
8.1.3 Registerzugriff.....	30
8.1.4 SPI - Synchron / Asynchron.....	30
8.2 SSI-Schnittstelle.....	31
8.3 EEPROM.....	32
9 Register.....	33
10 Kennwerte.....	45
11 Applikationshinweise.....	47
11.1 Beschaltung.....	47
11.2 Anschluss verschiedener Sensortypen.....	50
11.3 EEPROM.....	52
Notizen.....	54

Abbildungsverzeichnis

Abbildung 1: Blockschaltbild.....	6
Abbildung 2: Signalfussplan Regelungen.....	6
Abbildung 3: AM-IP4k QFN56 Package Dimensions.....	10
Abbildung 4: Eingangssignale (single-ended).....	13
Abbildung 5: Eingangssignale (differentiell).....	14
Abbildung 6: CMIR (Eingangssignale).....	14
Abbildung 7: Interpolation.....	17
Abbildung 8: Flankenabstandskontrolle Zeitdiskretisierung Hysterese.....	18
Abbildung 9: Interpolation (Detail).....	19
Abbildung 10: ABZ-Signale.....	22
Abbildung 11: Abgleich Referenzsignal.....	23
Abbildung 12: SPI-Übertragung (1).....	29
Abbildung 13: SPI-Übertragung (2).....	30
Abbildung 14: SPI Schreiben 8 Bit.....	30
Abbildung 15: SPI Lesen 32 Bit.....	30
Abbildung 16: SPI Schreiben 32 Bit.....	30
Abbildung 17: SPI Lesen 3x32 Bit.....	30
Abbildung 18: Initialisierung SSI-Hardware.....	31
Abbildung 19: SSI.....	31
Abbildung 20: SSI (Ringbetrieb).....	31
Abbildung 21: AM-IP4k Minimalbeschaltung.....	48
Abbildung 22: AM-IP4k Schaltungsempfehlung.....	49
Abbildung 23: AM-IP4k Layoutempfehlung.....	49
Abbildung 24: Sensor mit differentiellen Ausgangssignalen.....	50
Abbildung 25: Sensor mit einer Nominalamplitude > 1Vpp.....	50
Abbildung 26: Sensor mit single-ended Ausgangssignalen (I).....	50
Abbildung 27: Sensor mit single-ended Ausgangssignalen (II).....	50
Abbildung 28: Sensor mit antiparallelen Photodioden.....	51
Abbildung 29: Photodiodenarray mit gemeinsamer Kathode oder Anode.....	51
Abbildung 30: Sensor für Stromsignale 11 μ App.....	51
Abbildung 31: Programmablauf EEPROM lesen.....	52
Abbildung 32: Programmablauf EEPROM schreiben.....	53

Tabellenverzeichnis

Tabelle 1: Pinliste QFN56.....	9
Tabelle 2: Auswahl der Taktquelle (Pin CLK_CLKSEL).....	11
Tabelle 3: Auswahl des seriellen Interfaces AM-IP4k.....	11
Tabelle 4: Umschaltung Konfigurationsquelle.....	11
Tabelle 5: Konfigurationsoptionen.....	11
Tabelle 6: Defaultkonfiguration.....	12
Tabelle 7: Defaultkonfiguration Schnittstellen.....	12
Tabelle 8: Konfiguration Nominalamplitude (Register CFG1).....	13
Tabelle 9: Konfiguration Tiefpass (Register CFG2).....	13
Tabelle 10: Beispiel Gleichtakteingangsspannung (CMIR).....	14
Tabelle 11: Register Korrektur.....	15
Tabelle 12: Control-Parameter Koeffizientenberechnung.....	16
Tabelle 13: Interpolationsrate.....	17
Tabelle 14: Interpolationsrate mit erweitertem IR-Teiler.....	17
Tabelle 15: Maximale Eingangsfrequenz.....	19
Tabelle 16: Überblick Sensorüberwachung.....	20
Tabelle 17: Empfohlene Konfiguration Sensorüberwachung.....	20
Tabelle 18: ABZ-Modi (Register CFG1).....	22
Tabelle 19: DSP-Modus.....	22
Tabelle 20: Sensorabgleich.....	23
Tabelle 21: Triggermodus / Referenzpunktmodi.....	25
Tabelle 22: Positionsregister.....	26
Tabelle 23: Konfiguration Datenformat Positionsdaten.....	26
Tabelle 24: Kommandos / Steuersignale.....	27
Tabelle 25: SPI-Signale.....	28
Tabelle 26: SPI-Protokoll.....	28
Tabelle 27: Register CFGSSI (SSI-Mode).....	30
Tabelle 28: Adressierung EEPROM.....	31
Tabelle 29: Registerüberblick.....	32
Tabelle 30: Absolute Grenzwerte.....	43
Tabelle 31: Betriebsbedingungen.....	43
Tabelle 32: Kennwerte Takt / Reset.....	43
Tabelle 33: Kennwerte Interpolation.....	43
Tabelle 34: Kennwerte digital.....	44
Tabelle 35: Kennwerte analog.....	44
Tabelle 36: Kennwerte EEPROM.....	44
Tabelle 37: Kennwerte SSI.....	44
Tabelle 38: IC-Beschaltung Spannungen.....	45
Tabelle 39: IC-Beschaltung unbenutzter Ein- / Ausgänge.....	45

2 Eigenschaften

Schnittstellen	
Analogeingang	- Sinus- / Cosinus- / Referenzsignal; differentiell oder single-ended - Nominalamplitude konfigurierbar auf 1 V _{pp} / 500 mV _{pp} / 250 mV _{pp} / 75 mV _{pp} - Maximale Eingangsfrequenz bis 220 kHz
ABZ	- 90°-Rechteckfolgen (A/B/Z). - Einstellbare Breite Indexsignal Z von ¼ oder 1 Periode A/B - Fehlersignal - Interruptsignal zum µC - Hilfssignale für Sensorabgleich
SPI	- 30-Bit Zählwert / 16 Bit Multiturnwert - Datenrate bis zu 500.000 Messwerte/s - 9 Bit Signalüberwachung - Kompatibel zu Standard-SPI: 16 Bit, MSB first, bis zu 25 MHz - Aktivierbare Signalfilter zur Unterdrückung von Störimpulsen
SSI	- SSI 20 Bit oder 32 Bit - 2 Bit Signalüberwachung - Graycode / Binärkode - Einstellbares Timing - SSI Ringbetrieb
Weitere Eingänge	- Triggersignal zur Messwertspeicherung - Zero-Signal und Teach-Signal zu Einstellung und Speicherung der Nullpunktposition des Sensors
Stromausgang	- Ansteuerung einer Laserdiode für optische Sensoren - geregelt über Betragsquadrat der Eingangssignale - Soll-Strom in 256 Stufen einstellbar
Konfigurationsoptionen	- Interner EEPROM - Serielle Schnittstelle SPI

Interpolation / Signalverarbeitung	
Interpolationsraten	- Basisinterpolationsrate: 4096, 4000, 3200, 2560 ¹⁾ - konfigurierbarer Teiler: 1, 2, 4, 8, 16, 32, 64, 128 zusätzlich für BasisIR 4096 (256, 512, 1024) - frei wählbare Interpolationsrate über EEPROM-Tabelle, Grundeinstellung bei Auslieferung: 2560 ¹⁾
Signalanpassung	- AMAC-spezifischer Digitalregler für Offset, Regelbereich ±10% der Nominalamplitude - AMAC-spezifischer Digitalregler für Amplitude, Regelbereich Faktor 60% ... 120% Nominalamplitude - Digitales Potentiometer mit 64 Stufen zur Phasenkorrektur; Einstellbereich ±5° oder ±10° - Überwachung und Beurteilung der Qualität der Eingangssignale - Verhalten des IC bei Sensorfehlern programmierbar
Signalkorrektur	- Taumelkorrektur für periodische Fehler über 360° (Drehgeber) - Signalkorrektur für periodische Fehler innerhalb einer Sin-/Cos-Periode (auch für Lineargeber) - Einzel zu- und abschaltbar
Störunterdrückung	- Einstellbarer Tiefpass (Grenzfrequenzen 10 kHz, 75 kHz, 250 kHz) - Digitale Hysterese zur Unterdrückung des Flankenrauschens am Ausgang - Einstellbarer Mindestflankenabstand (Bandbreitenbegrenzung) am Ausgang
Referenzsignalverarbeitung	- Einstellbare Referenzpunktposition 0 ... 360° - Bestimmung der optimalen Referenzposition über SPI oder Hilfssignale - Verarbeitung abstandskodierter Referenzmarken - Messwerttriggerung an der Referenzpunktposition
Weiteres	- 2-stufiger Messwerttrigger - Programmierbarer Timer (3.2 µs ... 420 ms) - Verzögerungszeit zwischen Abtastung und Messwert konstant 2,35 µs ohne Signalkorrektur bzw. 3,95µs mit Signalkorrektur für alle Auflösungen (je @40 MHz) - Multiturnzähler

Wichtige Kennwerte	
Bauform	QFN56 (8 x 8 mm)
Betriebsspannung	3.3V
Temperaturbereich	-40 ... +125°C
Schnittstellenfrequenz	SPI 25 MHz, SSI 5 MHz

3 Bestellinformationen

Produkttyp	Beschreibung / Unterscheidung	Artikelnummer
AM-IP4k	Interpolationsschaltkreis AM-IP4k, QFN56	PR-50400-10
USB zu SPI Adapter	USB-Adapter zu SPI-Schnittstelle	PR-44025-10

4 Anwendungsübersicht

Signalform (Sensor)	Verwendung AM-IP4k
Sinus, Spannung	Direktanschluss des AM-IP4k an Sensor
Sinus, Strom	Widerstandsbeschaltung wird benötigt
Referenz (Index)-Spur	Direktanschluss des AM-IP4k an Sensor
Rechteck	IC prinzipiell nicht geeignet
Signalform (Sensor)	Verwendung AM-IP4k
75mV _{pp} nominal	Direktanschluss des AM-IP4k an Sensor
250mV _{pp} nominal	Direktanschluss des AM-IP4k an Sensor
500mV _{pp} nominal	Direktanschluss des AM-IP4k an Sensor
1V _{pp} nominal	Direktanschluss des AM-IP4k an Sensor
2 V _{pp} nominal	Widerstandsbeschaltung wird benötigt
Differenzsignal, DC-Bezugsspannung	Direktanschluss des AM-IP4k an Sensor
Single-Ended, DC-Bezugsquelle im Sensor	Direktanschluss des AM-IP4k an Sensor
Single-Ended, keine DC-Bezugsquelle im Sensor	Direktanschluss des AM-IP4k an Sensor oder mittels Widerstandsbeschaltung
Photodioden 0.5 µA _{pp}	Widerstandsbeschaltung wird benötigt
Photodioden 11 µA _{pp} ... 16 µA _{pp}	Widerstandsbeschaltung wird benötigt
Resistive Messbrücke (Magnetsensoren)	Direktanschluss des AM-IP4k an Sensor
Schwankende Amplitude des Sensors	AM-IP4k enthält Amplitudenregler
Offset am Sensor nicht korrigierbar	AM-IP4k enthält Offsetregler
Phase am Sensor nicht korrigierbar	AM-IP4k enthält Potentiometer zum Phasenabgleich
Lage des Referenzsignals variabel	AM-IP4k enthält Möglichkeit zum Abgleich der Referenzpunktposition
Abstandskodierte Referenzmarken	Spezielle Triggermöglichkeit des AM-IP4k bei Anschluss über SPI
Maximale Signalfrequenz	
Drehgeber:	$f_{\max} = (\text{Umdrehung} / \text{Minute}) \cdot (\text{Signalperioden} / \text{Umdrehung}) / 60$
Lineargeber:	$f_{\max} = (v_{\max} [\text{in m/s}] / (\text{Signalperiode} [\text{in mm}]) \cdot 1000$
$f_{\max} < 220 \text{ kHz}$	Alle Interpolationsraten bis 4096 über SPI/SSI
$f_{\max} < 40 \text{ MHz} / \text{Interpolationsrate}$	Bei Verwendung ABZ-Ausgang
Maximale Frequenz des Zählers an ABZ bekannt	Anpassung des AM-IP4k über CFG_{TPP} möglich
Nachfolgeelektronik	
Ausgang an µController/DSP/FPGA	Anschluss über SPI-Interface
Ausgang an externen Interpolationszähler	Anschluss über ABZ-Interface
Ausgang an industrielle Steuerung	Anschluss über SSI oder ABZ-Interface
System enthält mehrere Kanäle	Gleichzeitige Verwendung an nur einem SPI/SSI-Bus möglich
Echtzeitanwendungen / Äquidistante Abtastung	Konstante Verzögerung von nur 2,4 µs (4,0 µs mit aktivierter Korrektur), Trigger oder Timer nutzen
IC-Konfiguration	Interner EEPROM, Alle Register über SPI konfigurierbar
Signalspezifikation LVCMOS	Ein-/Ausgänge direkt nutzbar
Signalspezifikation RS422	Leitungstreiber erforderlich
Eingeschränkte Baugröße	
Gehäuse	QFN56, Außenmaß 8mm x 8mm
Minimalbeschaltung	Siehe Abbildung 21 <ul style="list-style-type: none"> • 8 Block-C • 3 Pull-Up Widerstände (NRES, NERR, MISO) • 1 Pull-Down Widerstand (CLKSEL) • VDD analog, VDD digital

5 Anschlussbelegung

Tabelle 1: Pinliste QFN56

Pin-Nr	Name	Typ	Funktion	Std-Wert
1	SinP	AI	Quadratursignal 1 – Sinus positiv	
2	SinN	AI	Quadratursignal 1 – Sinus negativ	
3	CosP	AI	Quadratursignal 2 – Cosinus positiv	
4	CosN	AI	Quadratursignal 2 – Cosinus negativ	
5	RefP	AI	Referenzsignal positiv	
6	RefN	AI	Referenzsignal negativ	
7	V5V	AP	Versorgungsspannung analog (Mittenspannung single-ended)	5,0 V
8	VSS	DP	Masse digital	GND
9	VDD	DP	Versorgungsspannung digital	3,3 V
10	CLK_CLKSEL	DI	Taktauswahl/Takteingang	
11	TM2	DI	Auswahl Testmodus 2	
12	TM	DI	Auswahl Testmodus	
13	TST_0B	DO	digitaler Testausgang, konfigurierbar	
14	TST_0A	DO	digitaler Testausgang, konfigurierbar	
15	MOSI_SLI	DI	SPI / SSI – Dateneingang	
16	SEN	DI	SPI – Freigabe / Schnittstellenwahl bei Reset (Abschnitt 6.1)	
17	SCK_MA	DI	SPI / SSI – Takt	
18	NSS	DO	SPI /Slave Select (SPI Master Mode)	
19	MISO_SLO	DO	SPI / SSI – Datenausgang	
20	NERR	DO	/Fehler	
21	VSSO	DP	Masse digital (I/O)	GND
22	VDDO	DP	Versorgungsspannung digital (I/O)	3,3 V
23	A	DO	Rechteck Kanal 1	
24	B	DO	Rechteck Kanal 2	
25	Z	DO	Rechteck Referenz	
26	HWA3 ¹⁾	DI	Hardwareadresse Bit 3	-
27	HWA2 ¹⁾	DI	Hardwareadresse Bit 2	-
28	HWA1 ¹⁾	DI	Hardwareadresse Bit 1	-
29	HWA0 ¹⁾	DI	Hardwareadresse Bit 0	-
30	TRG	DI	Hardware-Trigger Messwert erfassen	
31	ZERO	DI	Zähler nullen/PRESET laden	
32	TEACH	DI	Teach: Zählwert als PRESET setzen	
33	NRES	DI	Reset	10k → VDDO
34/35	VDD	DP	Versorgungsspannung digital	3,3 V
36/37	VSS	DP	Masse digital	GND
38	LDP	AO	Ausgang Laserdiode positiv	
39	LDN	AO	Ausgang Laserdiode negativ	
40	OPO	AI	Laserdiode Regler Filter Out	
41	OPI	AI	Laserdiode Regler Filter In	
42	VDDA	AP	Versorgungsspannung analog	3,3 V
43	VSSA	AP	Masse analog	GND
44	SMON	AIO	analoger Testeingang / Monitor Sin-Kanal	
45	CMON	AIO	analoger Testeingang / Monitor Cos-Kanal	
46	V1P1	AO	Mittenspannung Instrumentationsverstärker	(1,1V)
47	VRH	AO	ADC-Referenzspannung positiv	(1,6 V)
48	ADIN	AI	Testeingang ADC pin	
49	ADIP	AI	Testeingang ADC pin	
50	VRM	AO	ADC-Referenzspannung Mitte	(1,1 V)
51	VRL	AO	ADC-Referenzspannung negativ	(0,6 V)
52	VDDA	AP	Versorgungsspannung analog	3,3 V
53	VSSA	AP	Masse analog	GND
54	TSTP	AO	analoger Testausgang, konfigurierbar	
55	TSTP2	AO	analoger Testausgang, konfigurierbar	
56	TSTP1	AO	analoger Testausgang, konfigurierbar	
	EXPOSED			

AP = Power Supply Analog, DP = Power Supply Digital, SP = Power Supply Sensor

AI = Input Analog, AO = Output Analog, AIO = Bidirektional Analog

DI = Input Digital, DO = Output Digital

¹⁾ HWA0/1 → Gain 0/1

HWA2/3 → Lowpass-Umschaltung

5.1 Gehäuse

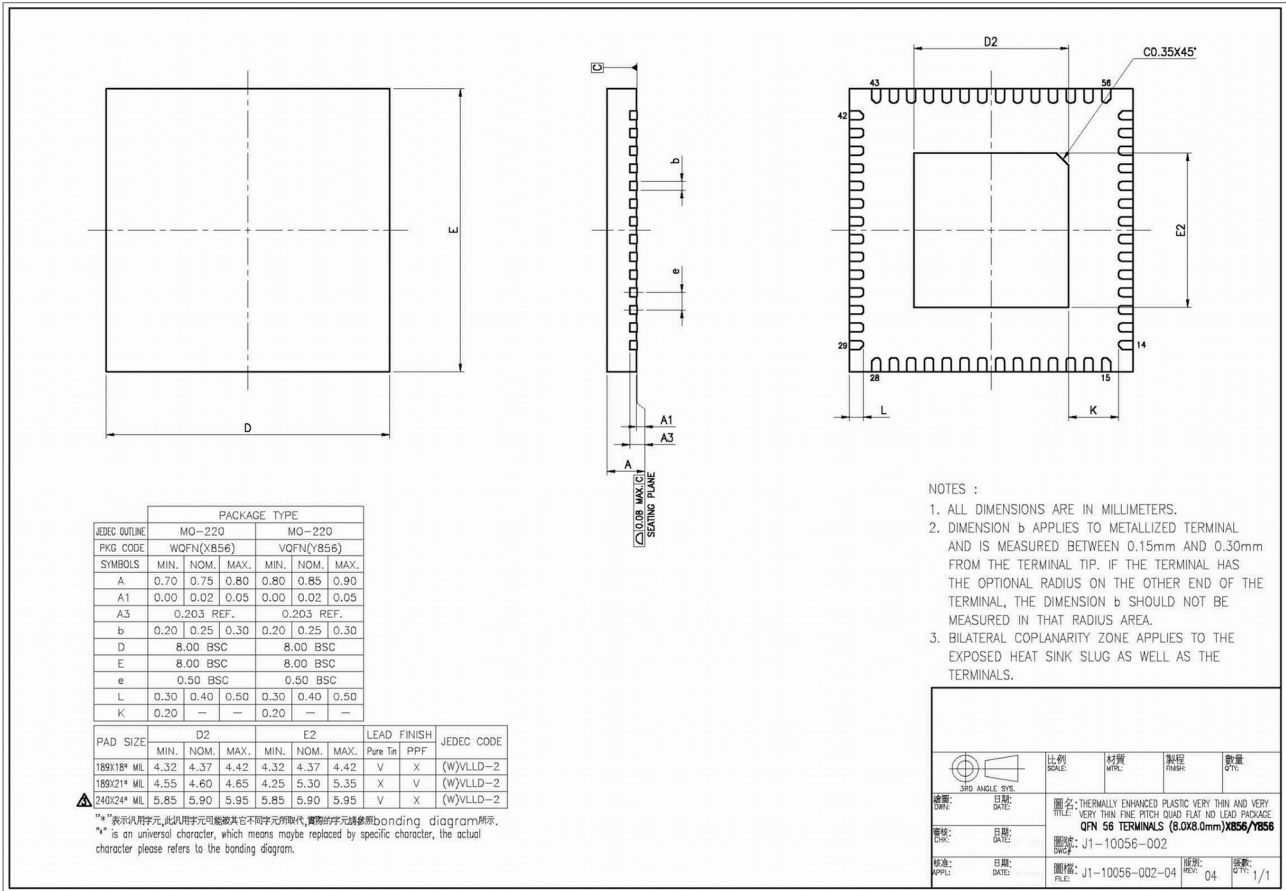


Abbildung 3: AM-IP4k QFN56 Package Dimensions

6 Startverhalten / Konfigurationsoptionen

6.1 Reset

Nach einem Reset des IC werden das digitale Interface festgelegt (SPI oder SSI) sowie alle Register mit ihren Default-Werten initialisiert. Die Konfiguration des Schaltkreises erfolgt dabei aus dem internen EEPROM, falls an EEPROM-Adresse 0x00 eine gültige Kennung programmiert wurde.

Während des gesamten Resetablaufes wird, abhängig von der ausgewählten Schnittstelle, einer der Ausgänge $MISO$ oder $NERR$ auf L-Pegel gehalten. Bis zu diesem Zeitpunkt dürfen die seriellen Schnittstellen nicht aktiviert werden. Nach abgeschlossener Initialisierung ist die Konfiguration des IC mittels der seriellen Schnittstelle SPI¹ änderbar. Die folgenden Tabellen zeigen alle während des Rücksetzens vom Anwender festzulegenden Konfigurationsoptionen.

Tabelle 2: Auswahl der Taktquelle (Pin CLK_CLKSEL)

Signal am Pin CLK_CLKSEL	Taktquelle	Frequenz
GND	interner Oszillator	40 MHz
Takt	externer Takt an CLK_CLKSEL	max. 40 MHz

Tabelle 3: Auswahl des seriellen Interfaces AM-IP4k

Schnittstelle	SEN Resetwert	Pin MISO / SLO	Pin MOSI / SLI	Pin SCK	Pin SEN	Ready-Signal
SPI	1	SPI-MISO	SPI-MOSI	SPI-SCK	SPI-SEN	an MISO
SSI	0	SSI-DATA	-	SSI-MA	0	an NERR

Tabelle 4: Umschaltung Konfigurationsquelle

Inhalt EEPROM Adresse 0x00	Konfiguration
Ungleich 0x134A	Grund-Konfiguration → siehe Tabellen 6, 7
0x134A	Konfiguration aus EEPROM

6.2 Konfiguration

Der IC kann mit Hilfe von Konfigurationsregistern an verschiedenartige Messsysteme und Folgeelektroniken angepasst werden. Erfolgt die Initialisierung des IC mittels EEPROM oder einer seriellen Schnittstelle (SPI), stehen alle Konfigurationsoptionen zur Verfügung. Tabelle 5 gibt einen Überblick über die Konfigurationsoptionen des AM-IP4k. Tabellen 6 und 7 zeigen die vom Hersteller voreingestellte IC-Konfiguration.

Tabelle 5: Konfigurationsoptionen

Parameter	Mögliche Werte	Register / Bit
Interpolationsrate	4096, 4000, 3200, 2048, 2000, 1600, 1024, 1000, 800, 512, 500, 400, 256, (250), 200, 128, (125), 100, 64, (50), 32, (25), 16, 8, 4, eigene Werte ²	CFG1 / IR(4:0) CFG2 / IRDIV2 (1:0)
Min. Flankenabstand t_{pp}	1, 2, 4, 8, 16, 32, 64, 128	CFG1 / TPP(2:0)
Referenzsignalverarbeitung	Enable, Disable, Verzögert Index 1 Periode / 1 Inkrement Position 0°-360°, Schrittweite IRATE/360° Modus Reset, Trigger, Abgleich, Abstandskodiert	CFG3 / DISZ, ZDEL2 CFG3 / Z4 CFG4 / ZPOS2 CFG3 / ZMODE
Signalamplitude nominal	1000, 500, 250, 75 mV	CFG1 / GAIN(1:0)
Analoger Tiefpass	10 kHz, 75 kHz, 250 kHz, inaktiv	CFG2 / LP(1:0)
Digitale Hysterese	0 (Disable), 1 ... 7 (ein/aus)	CFG1 / DH(2:0)
Ausgangssignale A/B/Z	ABZ, DSP-Modus, Sensor- und Referenzpunktgleich	CFG1 / MODE (2:0)
Fehlerverarbeitung	Maskierung, Speicherfreigabe Verhalten der ABZ-Ausgänge im Fehlerfall	CFG1 / Mxxx, Lxxx CFG1 / HLD, TRI

1 nur bei aktiver SPI, nicht im SSI-Betrieb

2 Im EEPROM kann eine Tabelle mit eigenen Interpolationsraten hinterlegt werden. Bei Nutzung der Korrekturfunktion muss auch eine passende Korrekturtabelle im EEPROM gespeichert werden

Parameter	Mögliche Werte	Register / Bit
Phasenkorrektur	$\pm 10^\circ$ Schrittweite 0,3125°, $\pm 5^\circ$ Schrittweite 0.15625°	CFG2 / PHBER, PH(2:0) CFG3 / PHRENA
Verstärkungsregler	Voreinstellung / Zeitkonstante / Enable, Disable	CNTRLG, CFG2 / GAINCTL, DISCTL
Offsetregler	Voreinstellung / Zeitkonstante / Enable, Disable	CNTRLO, CFG2 / OFFSCTL, DISCTL
Hardwareadresse	0-15	CMD / SETHWA
Sonderfunktionen	Triggerflanke Teach Aktiv / Inaktiv Mess-Timer Zähler Nullposition (Preset)	CFG2 / TRGSLP CFG2 / TEAEN CFG3 / VT(1:0),T(7:0) PRE_ST, PRE_MT
Schnittstellenkonfiguration	Datenformat Positionswerte SPI-Modus Synchron, Asynchron SSI-Timing	CFGSSI / SSI20, MTBIT, GRAY, STBIT CFG2 / ASYNC, SYNC(4:0) CFGSSI / SSITO, RING

Detaillierte Beschreibungen aller Konfigurationsbits sind in Abschnitt 9 zu finden.

Tabelle 6: Defaultkonfiguration

Konfiguration	Default (EEPROM mit Herstellerprogrammierung)		Default (ungültiger EEPROM)	
Analog	Phasenkorrektur	0°	Phasenkorrektur	0°
	Lowpass -1dB	disabled	Lowpass -1dB	disabled
	Nominalamplitude	1000 mVpp	Nominalamplitude	1000 mVpp
Interpolation	Interpolationsrate	4096	Interpolationsrate	4000
	Regler	Aktiv, langsam	Regler	Aktiv, langsam
	Startwerte Regler	Mittenwerte	Startwerte Regler	Mittenwerte
	Referenzpunkt	bei 45°	Referenzpunkt	bei 0°
ABZ-Ausgänge	Modus	ABZ	Modus	ABZ
	TPP	0	TPP	0
	Digitale Hysterese	1	Digitale Hysterese	1
	Z	Aktiv, 1 Inkrement	Z	Aktiv, 1 Inkrement
	Im Fehlerfall Hold		Im Fehlerfall Hold	
Fehlerverarbeitung	Überwachung Alle Fehler (ABZ-Modus)		Überwachung Alle Fehler (ABZ-Modus)	
	Speicherung Aktiv		Speicherung Inaktiv	
Sonderfunktionen	Teach	aktiv über CFG2/TEAEN	Teach	Inaktiv
	Presetwerte 0x00		Presetwerte 0x00	

Tabelle 7: Defaultkonfiguration Schnittstellen

Konfiguration	Default (EEPROM mit Herstellerprogrammierung)		Default (ungültiger EEPROM)	
SPI-Schnittstelle	Aktivierbar über SEN Hardwareadresse an \overline{HWA}		Aktivierbar über SEN Hardwareadresse 0000	
SSI-Schnittstelle	Aktivierbar über SEN		Aktivierbar über SEN	
	Timeout	20 μ s @ 40 MHz,	Timeout	20 μ s @ 40 MHz,
	Ringmodus		Ringmodus	
	Format	13 Bit Singleturn	Format	13 Bit Singleturn

7 Funktionsbeschreibung

7.1 Eingangsverstärker / Tiefpass

Der AM-IP4k enthält drei Instrumentationsverstärker mit einstellbaren Verstärkungsfaktoren. Inkrementalgeber mit Spannungsschnittstelle sowie Messbrücken können direkt angeschlossen werden. Sensoren mit Stromschnittstelle werden mittels einfacher Außenbeschaltung (siehe Abschnitt 11.1) angepasst. Der IC kann sowohl mit single-ended, als auch mit differentiellen Eingangssignalen arbeiten. Die Verstärkung ist für alle Signale des Sensors (Sinus, Cosinus, Referenz) identisch. Zur Anpassung des AM-IP4k an kundenspezifische Sensoren steht die Mittenspannung der Instrumentationsverstärker am Ausgang V_{IP1} zur Verfügung. Die Instrumentationsverstärker sind mit den internen AD-Wandlern verbunden. Wahlweise geschieht diese Verbindung direkt oder über ein konfigurierbares Tiefpass-Filter. (siehe Tabelle 9). Der Pegel am Eingang der Analog-Digital-Umsetzer kann über die Monitorausgänge $SMON$ und $CMON$ überwacht werden.

Tabelle 8: Konfiguration Nominalamplitude (Register $CFG1$)

CFG1/GAIN(1:0)	00	01	10	11
Eingangsspannung differentielle Einspeisung je Eingang (mV_{pp}) ¹⁾	500	250	125	37,5
Eingangsspannung für single-ended Einspeisung (mV_{pp}) ²⁾	1000	500	250	75
Eingangsspannung nominal $U_{DiffNom}$ (mV_{pp})	1000	500	250	75
Eingangsspannungsbereich für Interpolation U_{Diff} (mV_{pp})	600...1200	300...600	150...300	45...90
Mittenspannung an Eingang	2.5	2.5	2.5	2.5
Ausgangsspannung U_{MON} nominal an $SMON / CMON$ (V_{pp}) [WIDE = 0]	0.635	0.635	0.635	0.635
Ausgangsspannung U_{MON} nominal an $SMON / CMON$ (V_{pp}) [WIDE = 1]	1.27	1.27	1.27	1.27
Mittenspannung an $SMON/CMON$ nominal	1.1	1.1	1.1	1.1
Verstärkungsfaktor ($2 \times U_{MON} / U_{DIFF}$) ³⁾	1.27	2.54	5.24	16.76

¹⁾ an jedem der Eingänge $SINP$, $SINN$, $COSP$, $COSN$

²⁾ $SE_AMP2 = 1$, $SE_HALB = 1$

³⁾ $WIDE = 0$, $SE_AMP2 = 0$, $SE_HALB = 0$

Tabelle 9: Konfiguration Tiefpass (Register $CFG2$)

Grenzfrequenz -1dB	CFG2/LP(1:0)
Tiefpass nicht aktiv	00
250 kHz	01
75 kHz	10
10 kHz	11

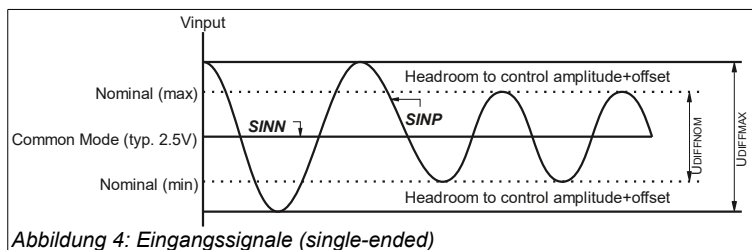


Abbildung 4: Eingangssignale (single-ended)

Im Single-Ended Betrieb muss die nominelle Signalamplitude auf dem jeweiligen P-Kanal angelegt werden. Um ein Übersteuern der differentiellen Eingangsstufe zu verhindern, müssen die Bits SE_amp2 und SE_halb im Register $CFG3$ gesetzt werden.

An die nicht benutzten N-Eingänge ist die Mittenspannung 2,5 V anzulegen. Mit aktiviertem Bit SE_VR_int im Register $CFG3$ wird dann die Mittenspannung intern bereitgestellt.

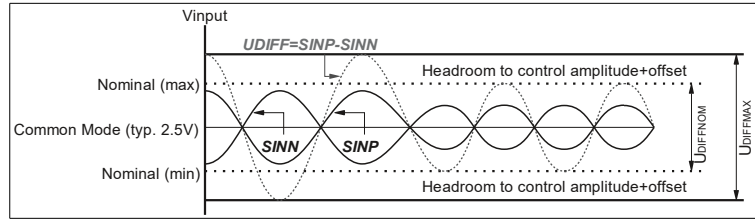


Abbildung 5: Eingangssignale (differenziell)

Es existiert eine Begrenzung der Eingangsspiegel an den Eingängen der Instrumentationsverstärker von ca. $V_{in} = 0,65 \text{ V} \dots V_{DDA} - 0,45 \text{ V}$. Je nach Gleichtaktspannung an den analogen Eingängen wird dadurch der Arbeitsbereich für die GAIN-Einstellung „00“ ($V_{NOM} = 1000 \text{ mV}_{pp}$) eingeschränkt.

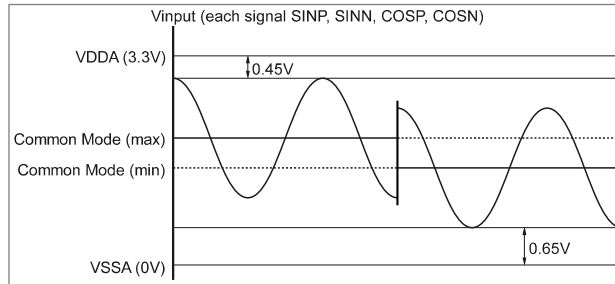


Abbildung 6: CMIR (Eingangssignale)

Beispielhaft sind einige Kombinationen von Gleichtakteingangsspannung und VDDA bei Maximalamplitude für single-ended Signale³ (1200 mV_{pp}) und Maximaloffset ($\pm 100 \text{ mV}$) aufgeführt:

Tabelle 10: Beispiel Gleichtakteingangsspannung (CMIR)

VDDA	Gleichtaktspannung (Min)	Gleichtaktspannung (Max)
3.30V	1.35 V	2.15 V
3.15V	1.35 V	2.00 V
3.00V	1.35 V	1.85 V

7.2 Signalanpassung

7.2.1 Amplitude und Offset

Die Eingangssignale werden einer AMAC-spezifischen Gain- und Offsetregelung unterzogen. Die Amplituden werden im Bereich von 60% bis 120% der Nominalamplitude ausgeregelt. Der Regelbereich für den Offset der beiden Eingangssignale beträgt $\pm 10\%$ der Nominalamplitude.

Nach dem Rücksetzen des IC werden Startwerte zur Korrektur für Amplitude und Offset der beiden Eingangssignale aus dem EEPROM geladen. Die volle Messgenauigkeit erreicht der IC jedoch erst nach dem Einschwingen der internen Signalregelung nach ca. 10...50 Sinusperioden.

Um die größtmögliche Genauigkeit der Amplituden- und Offsetregelung zu erreichen, muss das Phasenpotentiometer auf den am AM-IP4k angeschlossenen Sensor abgeglichen werden (Abschnitt 7.2.2).

Im AM-IP4k werden Amplituden- und Offsetfehler als Einheit betrachtet. Für spezielle Applikationen bedeutet dies, dass bei Verringerung eines der Fehler u.U. ein größerer zulässiger Fehler des jeweils anderen Parameters zugelassen werden kann. Weiterhin kann die Reglerdynamik an unterschiedliche Anwendungen angepasst werden (Register `CFG2/GAINCTL` und `CFG2/OFFSCTL`).

Während des Einregelvorgangs darf die Eingangssignalfrequenz nur 50% der angegebenen Maximalfrequenz betragen.

³ mit `SE_amp2 = SE_half = 0`

7.2.2 Phasenabgleich

Die Phasenabweichung der Eingangssignale kann ungeregelt (statisch) oder geregelt über ein digitales Potentiometer in 64 Stufen korrigiert werden.

Für einen unregulierten Phasenabgleich werden die Einstellungen `CFG2/PHBER` und `CFG2/PH` genutzt. Mit dem Bit `CFG2/PHBER` wird dabei zwischen 2 möglichen Bereichen umgeschaltet:

- $\pm 5^\circ$ mit Schrittweite $0,156^\circ$
- $\pm 10^\circ$ mit Schrittweite $0,313^\circ$

Im Feld `CFG2/PH` muss dann der nach folgender Formel berechnete vorzeichenbehaftete Korrekturwert eingetragen werden⁴:

$$PH = \text{round} \left(- \frac{\text{Abweichung} [^\circ]}{\text{Schrittweite} [^\circ]} \right) \quad [1]$$

Soll der automatische Phasenabgleich (Phasenregler PHR) genutzt werden, dann muss dieser über das Konfigurationsbit `CFG3/PHRENA` aktiviert werden. Damit werden die Einstellung in `CFG2/PHBER` und `CFG2/PH` übergangen und der Korrekturwert wird vom integrierten Regler automatisch gesetzt.

7.3 Signalkorrektur (periodische Fehler)

Auf das abgetastete Signal können zusätzlich zwei Korrekturen zum Ausgleich periodischer Fehler angewandt werden. Nur für Drehgeber geeignet ist die 360° -Korrektur (Taumelkorrektur) für Positionsfehler über eine komplette Sensordrehung. Die SC-Korrektur⁵ (Signalformkorrektur) hingegen wertet eine einzelne Sinusperiode des Sensorsignals aus und kann somit auch bei Lineargebern angewandt werden.

Die Korrekturen sind einzeln zu- und abschaltbar und können nur arbeiten, wenn eine gültige EEPROM-Konfiguration geladen ist. Diese muss neben den allgemeinen Einstellungen auch die für das jeweilige Eingangssignal gültigen Korrekturkoeffizienten enthalten.

Tabelle 11: Register Korrektur

Name	SPI-Adresse [Bit]	EEP-Adresse [Bit]	Funktion
DISKSC	0x13 [2]	0x09 [10]	'1' = SC-Korrektur aus
DISK360	0x13 [1]	0x09 [9]	'1' = 360° -Korrektur aus
Koeffizienten_360	0x40...0x5F	0xA0...0xBF	Koeffiziententabelle 360° -Korrektur
Koeffizienten_SC	0x60...0x7F	0xC0...0xDF	Koeffiziententabelle SC-Korrektur
Zahnzahl	0x1B [4:0]...0x1A[7:0]	0x0D[12:0]	Zahnzahl für 360° -Korrektur
Korrekturwert SC	0x94...0x97	-	berechneter Korrekturwert SC-Korrektur
Korrekturwert 360	0x98...0x9B	-	berechneter Korrekturwert 360° -Korrektur
LDR_OUT	0x9C...0x9F	-	Ausgabewert Laserdiodenregelung

Das Flag `EKOVL` im Register `STAT/ID/REV` zeigt an, ob ein Fehler bei der Korrekturberechnung vorliegt. Tritt dieser auf und sind andere Fehler ausgeschlossen, dann sind die Koeffizienten sowie die Zahnzahl auf Gültigkeit zu prüfen.

Beide Korrekturen sind dritter Ordnung und haben jeweils den folgenden Aufbau:

$$p_0 \cdot fs^3 + p_1 \cdot fs^2 \cdot fc + p_2 \cdot fs \cdot fc^2 + p_3 \cdot fc^3 + p_4 \cdot fs^2 + p_5 \cdot fs \cdot fc + p_6 \cdot fc^2 + p_7 \cdot fs + p_8 \cdot fc + p_9 \quad [2]$$

⁴ Bezugssignal für die Phasenabweichung ist SIN. Eine Phasenvergrößerung zwischen SIN und COS gilt als positive Phasenabweichung.

⁵ SC = Sin/Cos

Die Berechnung der Korrektur-Koeffizienten p erfolgt mithilfe der gemessenen Sin-/Cos-Signale sowie der Phasenwinkelabweichungen der Levenberg-Marquardt-Methode zur Minimierung der Fehlerquadrate. Genutzt wird eine Implementierung basierend auf der Version von Joachim Wuttke.⁶

Die Parameter der Funktion 'Immin' wurden wie folgt belegt:

```
n_par:      Koeffizientenanzahl (= 10 für 3. Ordnung)
par:        Startparameter (erste Näherung für Lösung, kann {} sein) bzw.
            Rückgabe der berechneten Koeffizienten
m_dat:      Länge des Signalvektors (Sin/Cos)
data:       Array mit Sin, Cos, Y_Soll7 und Aufbau der Korrekturfunktion kf
            (s.o. Formel [2])
evaluate:   Parameter einer extra Funktion zur Berechnung des Residuums
            (Algorithmus siehe unten)
control:    Fitting-Parameter (siehe Tabelle 12)
status:     Statusinformationen zur Berechnung
printout:   interne Fkt 'lm_printout_std'
```

Die Berechnung des Residuums erfolgt in der 'evaluate'-Funktion nach dem folgenden Algorithmus:

```
for i = 0 to m_dat-1
    fvec[i] = kf(Sin[i], Cos[i], par) - Y_Soll[i]
end

mit
fvec:      Ausgabe-Array der Länge m mit dem aktuellen Schätzwert
```

Tabelle 12: Control-Parameter Koeffizientenberechnung

Name	Wert	Beschreibung
control	lm_control_double	Berechnung mit doppelter Genauigkeit
control.ftol	5*DBL_EPSILON	relative error desired in the sum of squares
control.xtol	5*DBL_EPSILON	relative error between last two approximations
control.gtol	5*DBL_EPSILON	orthogonality desired between fvec and its derivs
control.epsilon	5*DBL_EPSILON	step used to calculate the jacobian
control.stepbound	1000	initial bound to steps in the outer loop
control.maxcall	1000	maximum number of iterations
control.scale_diag	1	automatical diag rescaling
control.printflags	3	OR'ed to produce more noise

DBL_EPSILON ist eine Konstante für die Auflösung der Arithmetik, abhängig vom System, auf welchem die Berechnungen ausgeführt werden

Das Datenformat der Koeffizienten ist signed und entsprechend der Einstellung MXSHR im Register CFG3 16 Bit oder 18 Bit.

⁶ <http://apps.jcns.fz-juelich.de/doku/sc/lmfit>

⁷ Y_Soll = Positionsfehler

7.4 Interpolation

Die Signalperioden der analogen Eingangssignale Sinus und Cosinus werden je nach eingestellter Interpolationsrate unterteilt und als Zählwert über die seriellen Schnittstellen (SPI/SSI) an nachfolgende Komponenten weitergegeben. Parallel dazu werden um 90° phasenverschobene Rechteckfolgen (A/B/Z-Signale) generiert. Weiterhin wird die Anzahl der erkannten Referenzmarken vorzeichenrichtig gezählt. Für Drehgeber ist damit ein so genannter Multiturnzähler bereits im IC integriert.

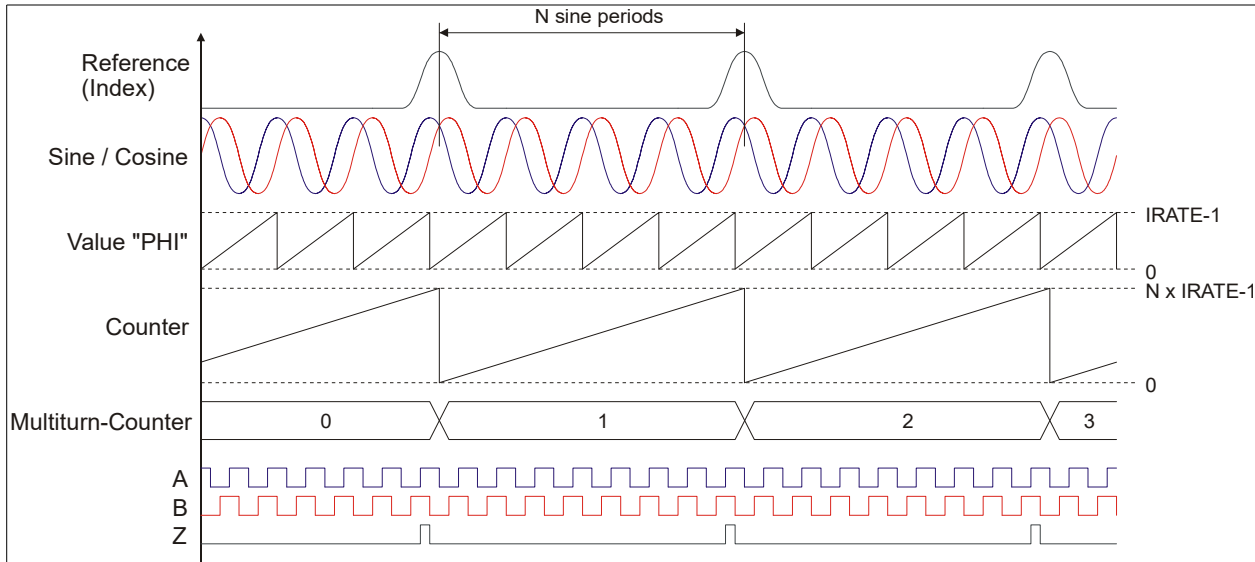


Abbildung 7: Interpolation

7.4.1 Interpolationsrate

Die Interpolationsrate (IRATE) kann zwischen den Werten in Tabelle 13 gewählt werden. Als Interpolationsrate wird hier die Anzahl der Inkremente verstanden, in die eine Sinusperiode/Cosinusperiode der Eingangssignale unterteilt wird. Dies entspricht der Anzahl der Flankenwechsel auf den A/B-Ausgängen pro Eingangssignalperiode. Die Anzahl der Rechteckperioden an den Ausgängen A und B beträgt ¼ der Interpolationsrate.

Die Interpolationsrate wird im Register CFG1/IR festgelegt. Es gibt vier Basisinterpolationsraten: 4096, 4000, 3200 und 2560. Die letztgenannte hat einen voreingestellten Wert, der durch den Nutzer geändert werden kann. Die nachfolgend aufgeführten Interpolationsraten entstehen durch die Division der Basisinterpolationsraten durch die möglichen Teiler 2, 4, 8, 16, 32, 64 und 128. Ist das Ergebnis der Division nicht ganzzahlig, kommt es zu ungültigen Werten.

Tabelle 13: Interpolationsrate

IR(2:0) \ IR(4:3)	000	001	010	011	100	101	110	111
10	4096	2048	1024	512	256	128	64	32
00	4000	2000	1000	500	250 ¹⁾	125 ¹⁾	ungültig	ungültig
01	3200	1600	800	400	200	100	50 ¹⁾	25 ¹⁾
11 ²⁾	2560 ³⁾	1280	640	320	160	80	40	20

¹⁾ Die Interpolationsraten dürfen nur in der Zählerbetriebsart verwendet werden. Die ABZ-Signale sind dann ungültig.

²⁾ Adresse für frei wählbare Interpolationsrate (EEPROM)

³⁾ Grundeinstellung für frei wählbare Basisinterpolationsrate

Unter Benutzung der Konfiguration IRDiv2 in CFG2 sind die Interpolationsraten 16, 8 und 4 einstellbar.

$$IR_sum(3:0) = IR(2:0) + IRDiv2(2:0)$$

Tabelle 14: Interpolationsrate mit erweitertem IR-Teiler

IR_sum IR(4:3)	0000	0001	0010	0011	0100	0101	0110	0111	1000	1001	1010
10	4096	2048	1024	512	256	128	64	32	16	8	4
00	4000	2000	1000	500	250 ¹⁾	125 ¹⁾	ungültig	ungültig	ungültig	ungültig	ungültig
01	3200	1600	800	400	200	100	50 ¹⁾	25 ¹⁾	ungültig	ungültig	ungültig
11	2560	1280	640	320	160	80	40	20	ungültig	ungültig	ungültig

¹⁾ Die Interpolationsraten dürfen nur in der Zählerbetriebsart verwendet werden. Die ABZ-Signale sind dann ungültig.

7.4.2 Flankenabstandskontrolle / Intervallzeit t_{pp} / Hysterese

Die Ausgangssignale A, B und Z ändern sich in einem zeitlichen Abstand t_{pp} , welcher durch die Konfigurationsbit $CFG1/TPP(2:0)$ auf einen minimalen Wert begrenzt werden kann. Die Abstufung der Zeitschritte ist abhängig von der Oszillatorfrequenz und kann in binären Schritten konfiguriert werden. Nach dem Schalten eines der Ausgänge wird die nächstfolgende Flanke des anderen Signals erst am IC-Ausgang sichtbar, wenn die Zeit t_{pp} abgelaufen ist. So kann auch im Falle einer kurzzeitigen Störung der Eingangssignale ein nachfolgend angeschlossener Interpolationszähler fehlerfrei arbeiten. Die Konfiguration der Intervallzeit erfolgt durch den Anwender des IC in Abhängigkeit von dem an den Ausgängen A, B und Z angeschlossenen Zähler (siehe dazu Abschnitt 7.5). Zu beachten ist allerdings die dadurch veränderte zeitliche Schrittweite am Ausgang des Schaltkreises.

Im AM-IP4k ist ein digitales Interpolationsverfahren realisiert. Dies hat zur Folge, dass die geschwindigkeitsproportionalen Ausgangssignale von unvermeidbaren Quantisierungsfehlern (den so genannten ± 1 Fehlern) überlagert sind. Diese können durch die Aktivierung der digitalen Hysterese (Register $CFG1/DH$) ausgeblendet werden. Es wird dann das Schalten der Ausgänge bei statischen Eingangssignalen verhindert. Alle Ausgangssignale werden hierbei um den eingestellten Hysteresewert verzögert.

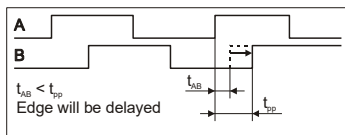
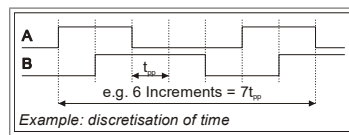
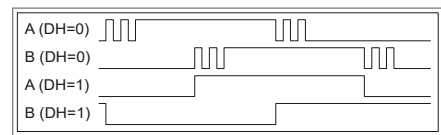


Abbildung 8: Flankenabstandskontrolle



Zeitdiskretisierung



Hysterese

7.4.3 Indexsignal Z

Das Indexsignal Z wird generiert, wenn die Differenzspannung der Referenzeingänge $REFP$ und $REFN$ positiv ist und die Analogsignale Sinus und Cosinus den im Register $CFG4$ mit den Bits $ZPOS2(15:0)$ eingestellten Phasenwinkel aufweisen. Vom Hersteller ist dieser Winkel auf 0° vorkonfiguriert. Am Ausgang des IC ist die Breite des Indexsignals umschaltbar zwischen 1 und 4 Inkrementen, d.h. zwischen $\frac{1}{4}$ und 1 Periode der Ausgangssignale A und B. Ist der IC auf die Indexbreite 1 Inkrement ($\frac{1}{4}$ Periode) konfiguriert, so führen die Ausgänge A und B bei aktivem Z-Signal H-Pegel.

Der Abgleich des Phasenwinkels zur Erkennung des Referenzsignals für konkrete Sensoren kann mit Hilfe von Testsignalen oder einem im IC dafür vorgesehenem Triggermodus erfolgen. Siehe dazu Abschnitt 7.8.

Nachfolgende Abbildung zeigt den Zusammenhang zwischen den analogen Eingangssignalen, den Ausgangssignalen A, B und Z sowie dem Wert im integrierten Zähler.

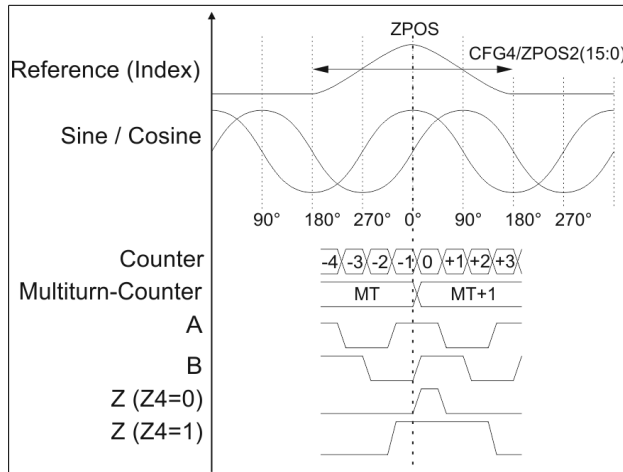


Abbildung 9: Interpolation (Detail)

7.5 Betriebsart / Maximale Eingangsfrequenz

Die maximale Eingangsfrequenz ist abhängig von der gewählten Schnittstelle am Ausgang. Werden die Rechteckfolgen (ABZ) als Ausgangssignal verwendet, so wird die maximale Eingangsfrequenz begrenzt durch die Interpolationsrate und den minimalen Flankenabstand (t_{pp}). Wird ausschließlich der interne Zählwert verarbeitet (Schnittstellen SPI oder SSI), so wird die maximale Eingangsfrequenz durch die Taktfrequenz des Schaltkreises (f_{OSZ}) bestimmt.

Die Umschaltung der Betriebsart **und** der überwachten Frequenz erfolgt durch das Bit $MABZ$ im Register $CFG1$. Sollen beide Ausgangsschnittstellen gleichzeitig benutzt werden, so muss das Bit $MABZ$ mit 1 initialisiert werden.

Tabelle 15: Maximale Eingangsfrequenz

Betriebsart	CFG1/MABZ	Maximalfrequenz für Zähler	Maximalfrequenz für ABZ-Ausgang
Zähler	0	$f_{max} \approx f_{OSZ} / 180$	Keine Fehlererkennung
Rechteck, $t_{pp} = N/f_{OSZ}$ $N = 2^{CFG1-TPP(2:0)}$	1	$f_{max} \approx 0.9 \cdot f_{OSZ} / IRATE < f_{OSZ} / 180$	$f_{max} \approx 0.90 \cdot f_{OSZ} / (N \cdot IRATE) < f_{OSZ} / 180$ (falls $N=1$) $f_{max} \approx 0.95 \cdot f_{OSZ} / (N \cdot IRATE) < f_{OSZ} / 180$ (falls $N>1$)

Als Grenzwert erhält man eine maximale Eingangsfrequenz von ca. 220 kHz bei einem Takt von $f_{OSZ} = 40$ MHz sowie einen garantierten Flankenabstand von max. 32 μs bei einem Takt von 4 MHz. Zwischen diesen beiden Werten kann durch geeignete Wahl von Taktfrequenz und Flankenabstand der AM-IP4k an die Folgeelektronik angepasst werden. Alle Werte gelten bei abgeglichenen Phase zwischen den Eingangssignalen und nach dem Einschwingen der internen Signalregelung. Bis zu diesem Zeitpunkt darf die Eingangsfrequenz nur 50% der angegebenen Maximalfrequenz betragen.

ⓘ Bei Überschreiten der maximalen Eingangsfrequenz wird das entsprechende Fehlerbit gesetzt (Abschnitt 7.6)

ⓘ Die maximale Eingangsfrequenz wird ebenfalls durch die Konfiguration des analogen Eingangsfilters begrenzt. Siehe dazu Abschnitt 7.1.

7.6 Sensorüberwachung

Im AM-IP4k gibt es sieben Möglichkeiten, die Sensorsignale zu überwachen und Fehler an den analogen Eingangssignalen zu erkennen. Jede Überwachungsquelle kann mit zugehörigen Bits im Register `CFG1` aktiviert, deaktiviert oder mit Speicherverhalten konfiguriert werden. Sind die entsprechenden Überwachungsflags freigegeben, werden die erkannten oder gespeicherten Fehlersignale am Pin `NERR` ausgegeben. Über die serielle Schnittstelle SPI können die einzelnen Überwachungsflags gelesen werden. Im Ausgabewert der SSI-Schnittstelle sind zusammengefasste Fehler-/Warnungsinformationen verfügbar. Im Fehlerfall ist das Verhalten der Ausgänge `A`, `B` und `Z` im Allgemeinen undefiniert. Ist das Bit `HLD` im Register `CFG1` jedoch gesetzt, ändern sich die Ausgänge im Fehlerfall nicht. Falls das Bit `TRI` im Register `CFG1` gesetzt ist, so werden die Ausgänge `A`, `B` und `Z` im Fehlerfall hochohmig. Eine nachfolgende Auswerteelektronik kann diesen Zustand als Fehlerzustand erkennen.

ⓘ Wurde das Fehlersignal `NERR` aktiviert oder eines der Überwachungsflags im Ergebnisregister gesetzt, so sind das aktuelle Messergebnis und alle nachfolgenden Ergebnisse zu verwerfen. Nach Beseitigung der Fehlerursache und dem Rücksetzen der Fehlerbits mittels SPI-Befehl `RESCNT` oder mittels `ZERO`-Signal ist für Absolutwertmessungen ein erneutes Überfahren des Referenzpunktes notwendig!

Tabelle 16: Überblick Sensorüberwachung

	Name	Bedeutung	SPI	ABZ	SSI
1	EVLOW	Der aus Cosinus- und Sinussignal gebildete Signalvektor ist zu klein.	Statusbit	Fehler	Fehler
2	ESADC / ECADC	Der jeweilige AD-Wandler ist übersteuert.	Statusbit	Fehler	Fehler
3	ESOFF / ECOFF	Der Offsetregler hat einen Grenzwert erreicht.	Statusbit	Fehler	Warnung
4	ESGAIN / ECGAIN	Der Amplitudenregler hat einen Grenzwert erreicht.	Statusbit	Fehler	Warnung
5	EFAST	Die Eingangsfrequenz ist zu hoch.	Statusbit	Fehler	Fehler
6	EKOVL	Der berechnete Korrekturwert ist ungültig	Statusbit	Fehler	-
7	EABZ	Die Signale <code>A</code> , <code>B</code> und <code>Z</code> sind ungültig.	Statusbit	Fehler	-

Die empfohlene Konfiguration der Sensorüberwachung ist abhängig von den verwendeten Schnittstellen. Die Konfiguration erfolgt durch den Anwender mittels der dafür vorgesehenen Bits im Register `CFG1`. Grundsätzlich wird empfohlen, alle Überwachungsquellen zu aktivieren. Für einen Betrieb des IC ohne Verwendung der Ausgänge `A`, `B` und `Z` kann die Überwachung der maximalen ABZ-Frequenz (Bit `MABZ`) deaktiviert werden. Siehe dazu auch Abschnitt 7.5.

Tabelle 17: Empfohlene Konfiguration Sensorüberwachung

	ABZ-Interface	SPI-Interface	SSI-Interface
Aktivierte Überwachungsbits	EVLOW EADC EOFFS EGAIN EFAST EKOVL ¹⁾ EABZ	EVLOW EADC EOFFS EGAIN EFAST EKOVL ¹⁾	EVLOW EADC EOFFS EGAIN EFAST EKOVL ¹⁾
Auswertung der Überwachungsbits	Als Gesamtfehler im Fehlersignal am Pin <code>NERR</code> .	Statusregister Positionsregister Fehlersignal <code>NERR</code>	Als 2 Bit Gesamtfehler und -warnung im Datenstrom.
Aktivierung der Speicherung der Überwachungsbits	Deaktivieren	Aktivieren	Aktivieren
Löschen des Fehlerspeichers	-	Kommando <code>RESCNT</code> <code>ZERO</code> -Signal	<code>ZERO</code> -Signal
ABZ-Verhalten im Fehlerfall	Hold und/oder Tristate	beliebig	beliebig
Register <code>CFG1</code> (31:16)	0x007F	0x3777	0x3777

¹⁾ bei aktivierter/n Korrektur(en)

7.6.1 Fehlerquellen

Nachfolgend sind die einzelnen überwachten Sensorsignaleigenschaften näher beschrieben. Für jede Überwachungsquelle sind die korrespondierenden Bits in den Registern `CFG1` und `STAT` aufgeführt.

Vektorfehler

Der aus Cosinus- und Sinussignal gebildete Signalvektor ist kleiner als ca. 30% der Nominalamplitude. Ursache ist meist ein teilweiser oder vollständiger Sensorabriss. Eine weitere Fehlerursache sind Eingangssignale mit sehr großem Offset bei gleichzeitig kleiner Amplitude.

Aktivierung Fehlererkennung	Aktivierung Fehlerspeicher	Register <code>STAT</code>	SSI-DATA
Bit <code>MVLOW</code>	Bit <code>LVLOW</code>	Bit <code>EVLOW</code>	Bit0 – Error (H-aktiv)

ADC-Fehler

Ein oder beide AD-Wandler sind übersteuert. Ursache dafür ist eine zu große Signalamplitude. Eine weitere Fehlerursache sind Eingangssignale mit sehr großem Offset bei gleichzeitig großer Amplitude. Sind an den Sensoreingängen entsprechende Pull-Up und Pull-Down Widerstände vorhanden, können Sensorabrissfehler ebenfalls über dieses Fehlerbit erkannt werden.

Aktivierung Fehlererkennung	Aktivierung Fehlerspeicher	Register <code>STAT</code>	SSI-DATA
Bit <code>MADC</code>	Bit <code>LADC</code>	Bit <code>ESADC</code> (Sinus) Bit <code>ECADC</code> (Cosinus)	Bit0 – Error (H-aktiv)

Offsetfehler

Der Offsetregler hat seine Grenze erreicht. Ursache ist ein zu großer Signaloffset, ein teilweiser oder ein vollständiger Sensorabriss oder ein ungültiger Wert zur Initialisierung des Offsetreglers.

Aktivierung Fehlererkennung	Aktivierung Fehlerspeicher	Register <code>STAT</code>	SSI-DATA
Bit <code>MOFF</code>	Bit <code>LOFF</code>	Bit <code>ESOFF</code> (Sinus) Bit <code>ECOFF</code> (Cosinus)	Bit1 – Warning (H-aktiv)

Verstärkungsfehler

Der Verstärkungsregler hat seine Grenze erreicht. Ursache ist eine zu kleine Signalamplitude, ein teilweiser oder ein vollständiger Sensorabriss.

Aktivierung Fehlererkennung	Aktivierung Fehlerspeicher	Register <code>STAT</code>	SSI-DATA
Bit <code>MGAIN</code>	Bit <code>LGAIN</code>	Bit <code>ESGAIN</code> (Sinus) Bit <code>ECGAIN</code> (Cosinus)	Bit1 – Warning (H-aktiv)

Geschwindigkeitsfehler

Die Eingangsfrequenz ist so hoch, dass die A/B-Signale nicht gebildet werden können oder keine Richtungserkennung mehr möglich ist. Die überwachte Frequenz unterscheidet sich bei Betrieb mit internem Zähler bzw. bei Verwendung der Rechteckausgänge A/B/Z. Siehe dazu Abschnitt 7.5.

Aktivierung Fehlererkennung	Aktivierung Fehlerspeicher	Register <code>STAT</code>	SSI-DATA
Bit <code>MFAST</code>	Bit <code>LFAST</code>	Bit <code>EFAST</code>	Bit0 – Error (H-aktiv)

Korrekturfehler

Bei der Berechnung der Korrekturwerte ist ein Fehler aufgetreten, die Werte sind nicht gültig. Ursache dafür ist eine falsche Konfiguration der Korrekturkoeffizienten und / oder der Zahnzahl⁸. Es sollte ein erneutes Einmessen des Sensors durchgeführt werden. Siehe dazu Abschnitt 7.7.4

Aktivierung Fehlererkennung	Aktivierung Fehlerspeicher	Register <code>STAT</code>	SSI-DATA
Bit <code>MKOVL</code>	Bit <code>LKOVL</code>	Bit <code>EKOVL</code>	-

ABZ-Fehler

Die Signale A, B und Z sind ungültig. Ursache dafür ist eine zu hohe Eingangsfrequenz. Die überwachte Frequenz ist abhängig vom eingestellten minimalen Flankenabstand t_{pp} . Dieses Fehlerbit wird auch gesetzt, wenn die Interpolationsrate oder der minimale Flankenabstand t_{pp} geändert werden. Zum Betrieb des AM-IP4k

⁸ Die Zahnzahl wird nur für die 360°-Korrektur benötigt und ist die Anzahl der Sin-/Cos-Perioden über einen 360°-Umlauf.

ausschließlich unter Verwendung des internen Zählers kann die Erkennung dieses Fehlers deaktiviert werden (MABZ = 0).

Aktivierung Fehlererkennung	Aktivierung Fehlerspeicher	Register STAT	SSI-DATA
Bit MABZ	Bit LABZ	Bit EABZ	Bit0 – Error (H-aktiv)

7.7 Ausgänge ABZ

Die Bedeutung der Signale an den Ausgängen A, B und Z ist mittels der Bits MODE im Register CFG1 änderbar. Standardmäßig werden die üblichen um 90° verschobenen Rechteckfolgen erzeugt. Falls der interne Zähler des IC verwendet wird, kann der Modus „Controller/DSP“ aktiviert werden. Damit ist es möglich, äquidistante Messungen durchzuführen, zusätzliche Komponenten mit dem IC zu synchronisieren oder Messwerte interruptgesteuert an einen Controller-IC zu übertragen. In drei weiteren Modi werden Testsignale zum Abgleich des Sensors an den Ausgängen A, B und Z bereitgestellt.

Tabelle 18: ABZ-Modi (Register CFG1)

Modus	Verwendung	CFG1/MODE	Ausgang A	Ausgang B	Ausgang Z
Standard	Standard-ABZ	000	Rechteckfolge A	Rechteckfolge B	Indexsignal Z
Sensorabgleich 1	Sensorabgleich	001	Testsignal IR4C	Testsignal IR4S	Referenzkomparator REFCOMP
Sensorabgleich 2	Sensorabgleich	010	Testsignal IR8C	Testsignal IR16C	Regelabweichung NDEV
Sensorabgleich Z	Abgleich Referenzposition	011	Referenz (synchron) REF_SYNC	Zähler-Indexpunkt ZCNT	Indexsignal Z
MC/DSP	Zähler an Mikrocontroller	100	Timer-/Trigger-Interrupt nINT	Synchronsignal StartSample	Zähler-Indexpunkt ZCNT
Einmessmodus für Korrektur	Berechnung Korrekturkoeffizienten	111	Rechteckfolge A	Rechteckfolge B	Indexsignal Z

7.7.1 Standard ABZ

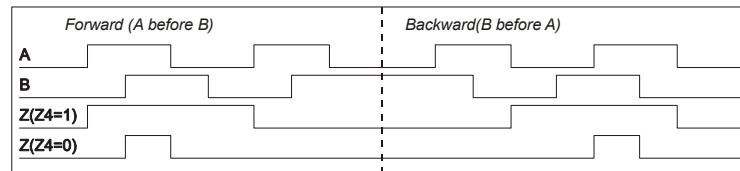


Abbildung 10: ABZ-Signale

7.7.2 Controller / DSP

Falls die Messwerte des AM-IP4k ausschließlich über eine serielle Schnittstelle (SPI/SSI) übertragen werden, so stehen an den Ausgängen A, B und Z zusätzliche Signale bereit. Der Ausgang NERR behält seine Bedeutung. NERR ist als Open-Drain Pin ausgeführt, so dass die Fehlersignale mehrerer IC verbunden werden können.

Tabelle 19: DSP-Modus

Pin	Signal	Bedeutung
A	nINT	Interrupt; L-aktiv; Ein aktives Signal zeigt an, dass mindestens eines der Triggerhaltereregister belegt ist. Ein Lese-Zugriff auf das Register MVAL liefert den „ältesten“ in den Registern gespeicherten Messwert. Der Interrupt kann durch den Timer, das Referenzsignal oder ein Signal am Eingang TRG ausgelöst werden. Siehe dazu Abschnitt 7.8
B	StartSample	Synchronsignal; Dieses Signal liefert den Abtastzeitpunkt der integrierten ADC. Es kann zur Synchronisation weiterer Systeme verwendet werden.
Z	ZCNT	Zähler-Indexpunkt; Dieses Signal zeigt an, dass der interne Zähler des AM-IP4k am Referenzpunkt rückgesetzt wird.

7.7.3 Abgleich Referenzposition

Der Phasenwinkel zur Erkennung des Referenzsignals kann mittels der Konfigurationsbits CFG4/ZPOS2 sensorspezifisch verschoben werden (siehe Abbildung 9). Dazu ist es möglich, spezielle Hilfssignale an A, B und Z zu messen. Zusätzlich kann der Messwerttrigger zum Abgleich der Referenzposition eingesetzt werden. Dazu sind die Konfigurationsbits CFG3/ZMODE mit dem Wert „01“ zu initialisieren. Durch Auslesen des MVAL Registers können die Werte TRGVAL1 und TRGVAL2 (siehe Abbildung 11) exakt bestimmt werden. Mit Bezug zur Interpolationsrate ergeben sich damit die Referenzsignalbreite, sowie die Lage des verarbeiteten Indexsignals zum analogen Referenzsignal und zum Sinussignal des Sensors.

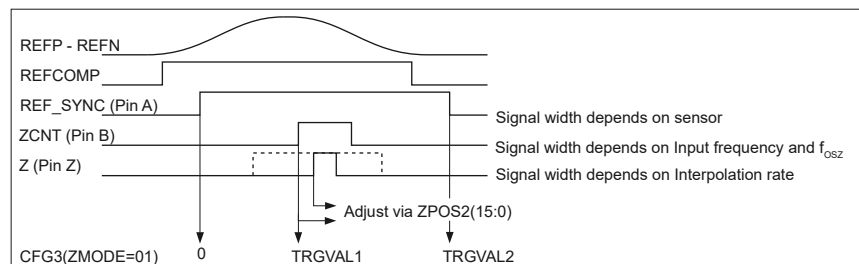


Abbildung 11: Abgleich Referenzsignal

Referenzsignalbreite: $Zwidth = TRGVAL2 / IRATE \cdot 360^\circ$
 Referenzsignallage: $Zstart = \text{Einstellwert } ZPOS2 / IRATE \cdot 360^\circ - TRGVAL1 / IRATE \cdot 360^\circ$
 Abgleichziel: $TRGVAL1 = TRGVAL2 / 2$
 Neuer Einstellwert: $ZPOS_neu = (Zstart + Zwidth / 2) / IRATE \cdot 360^\circ$

① IRATE ist die ungeteilte Basisinterpolationsrate. Die Software zur Auswertung von TRGVAL1 und TRGVAL2 sollte erkennen können, dass ggf. kein Indexsignal am Ausgang (Z) auftritt oder dass bei doppelten Indexsignalen die Werte von TRGVAL1 oder TRGVAL2 unplausibel sind oder zwischen verschiedenen Werten wechseln. Es wird empfohlen, den Referenzpunktgleich mit einer im Vergleich zur Oszillatorfrequenz kleinen Signalfrequenz durchzuführen.

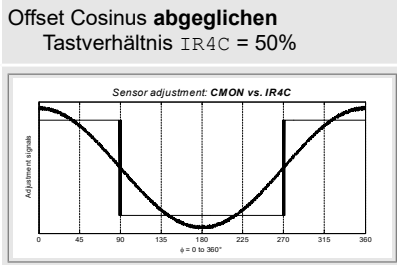
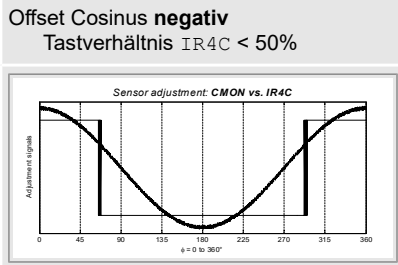
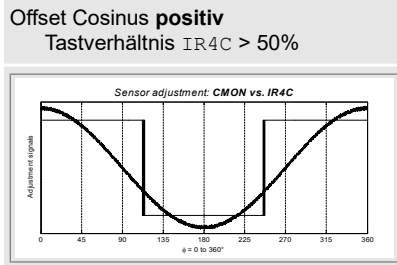
7.7.4 Sensorabgleich

Der IC AM-IP4k führt einen automatischen Abgleich von Offset und Amplitude beider Gebersignale durch. Um den vollen Regelbereich für dynamische Fehler zu nutzen, ist es sinnvoll, statische Fehler des Sensors bereits vorher abzugleichen. Dazu stehen in den Modi „Sensorabgleich 1“ und „Sensorabgleich 2“ an den Ausgängen A, B, und Z Hilfssignale zum Feinabgleich des Sensors zur Verfügung. Die Ausgangssignale der Instrumentationsverstärker sind an den Ausgängen SMON und CMON messbar. Eine Beschreibung des Abgleichvorganges gibt Tabelle 20. Typische Signalverläufe werden in den nachfolgenden Abbildungen gezeigt.

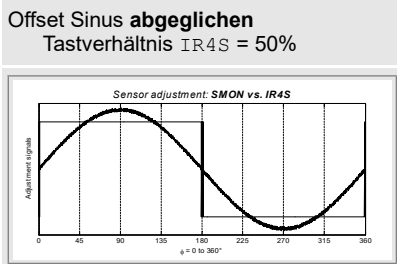
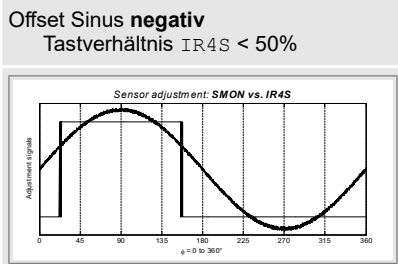
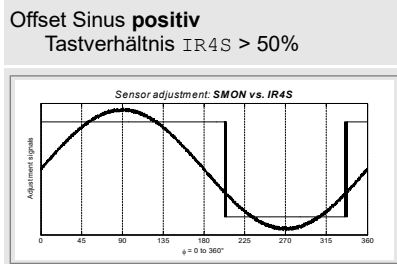
Tabelle 20: Sensorabgleich

Nr.	Abgleich	Einstellung Register	Vorschrift
1	Amplitude Sinus/Cosinus	Verstärkungsfaktor einstellen CFG1 / GAIN	Bewegung des Sensors. Messung an den Pins SMON und CMON. Abgleich bis beide Amplituden ca. 1,27Vpp aufweisen.
2	Referenz	Modus „Sensorabgleich 1“	Messung des Signals REFCOMP. Abgleich bis Signalbreite etwa einer Periode des Sinussignale entspricht.
3	Offset Cosinus	Modus „Sensorabgleich 1“ Regler deaktivieren (CFG2/DISCTL = 1). Korrekturwerte in die Mitte des Einstellbereiches.	Bewegung des Sensors. Messung an CMON und Signal IR4C. Abgleich bis Tastverhältnis an IR4C 50% der Periode an CMON beträgt.
4	Offset Sinus	Modus „Sensorabgleich 1“ Regler deaktivieren (CFG2/DISCTL = 1). Korrekturwerte in die Mitte des Einstellbereiches.	Bewegung des Sensors. Messung an SMON und Signal IR4S. Abgleich bis Tastverhältnis an IR4S 50% der Periode an SMON beträgt.
5	Phase (grob)	Modus „Sensorabgleich 2“ Regler aktivieren (CFG2/DISCTL = 0).	Bewegung des Sensors. Messung an CMON und Signal IR16C. Grobabgleich der Phase, bis alle Flanken an IR16C gleichmäßig innerhalb der Sinusperiode verteilt sind
6	Phase (fein)	Modus „Sensorabgleich 2“ Regler aktivieren (CFG2/DISCTL = 0).	Bewegung des Sensors. Messung an CMON und Signal NDEV. Abgleich der Phase, bis Frequenz an NDEV nicht mit Frequenz des Sinussignals korreliert.
7	Amplitudengleichheit	Modus: „Sensorabgleich 2“ Regler deaktivieren (CFG2/DISCTL = 1). Korrekturwerte in die Mitte des Einstellbereiches.	Bewegung des Sensors. Messung an CMON und Signal IR8C. Abgleich der Signalamplituden bis alle Flanken an IR8C gleichmäßig innerhalb der Sinusperiode verteilt sind.

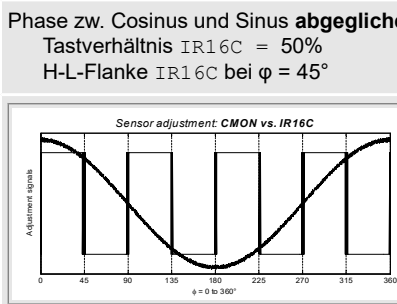
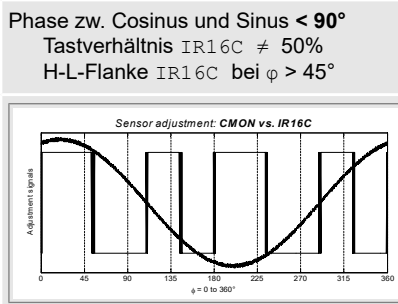
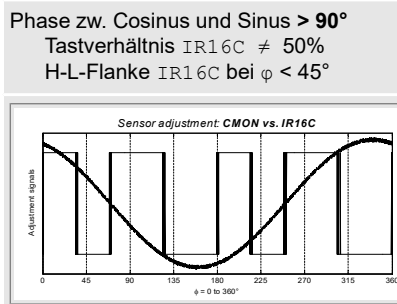
Abgleich Offset Cosinus – Signale CMON und IR4C (Ausgang A)
Mode '001' (Sensorabgleich 1), Regler inaktiv / Korrekturwerte: Mittenwert des Korrekturbereiches



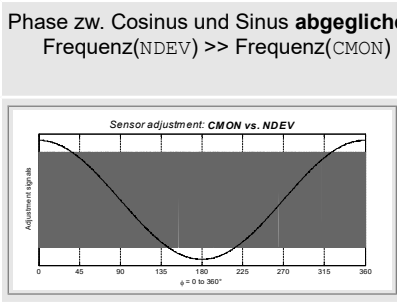
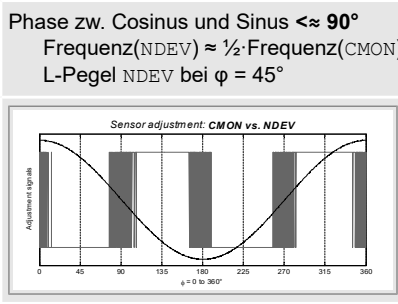
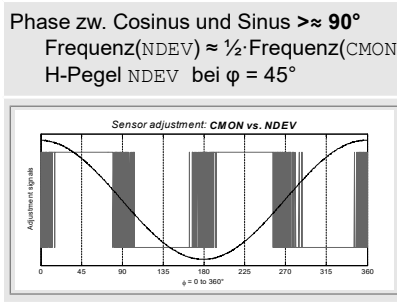
Abgleich Offset Sinus – Signale SMON und IR4S (Ausgang B)
Mode '001' (Sensorabgleich 1), Regler inaktiv / Korrekturwerte: Mittenwert des Korrekturbereiches



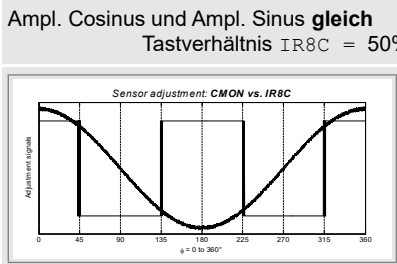
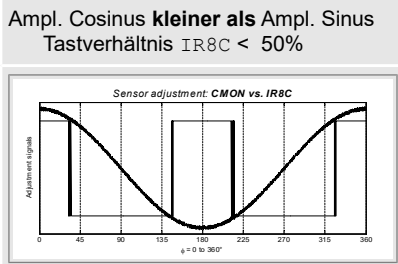
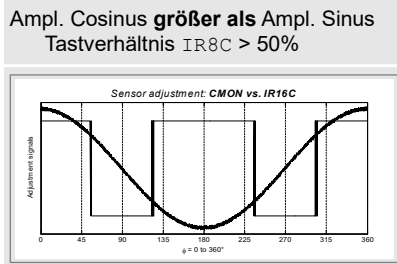
Abgleich Phase (grob) – Signale CMON und IR16C (Ausgang B)
Mode '010' (Sensorabgleich 2), Regler aktiv



Abgleich Phase (fein) – Signale CMON und NDEV (Ausgang Z)
Mode '010' (Sensorabgleich 2), Regler aktiv



Abgleich Amplitudengleichheit – Signale CMON und IR8C (Ausgang A)
Mode '010' (Sensorabgleich 2), Regler inaktiv / Korrekturwerte: Mittenwert des Korrekturbereiches



7.8 Messwerttrigger

Im IC AM-IP4k sind zwei Triggerhaltereregister implementiert. In diese Register kann der aktuelle Zählwert hardwaregesteuert übertragen werden. Bei Lesezugriffen auf das Register `MVAL` wird dann jeweils der „älteste“ Wert aus den Triggerhaltereregistern bereitgestellt. Ist kein Wert gespeichert, erscheint der aktuelle Zählerstand. Nach dem Auslesen eines Triggerhaltereregisters wird dieses freigegeben. Im Statusregister `STAT` ist die Triggerquelle des **nächsten** zu lesenden Wertes gespeichert. Darüber hinaus wird im Bit `TRGOVL` angezeigt, ob ein Triggerereignis verloren ging, da zum Zeitpunkt des Triggerereignisses beide Haltereregister belegt waren. Am Bit `TRG` des Registers `MVAL` kann man ebenfalls erkennen, ob der gelesene Wert durch ein Hardwareereignis bereitgestellt wurde. Das Signal `nINT` an Ausgang `A` zeigt durch L-Pegel an, ob eines der Triggerhaltereregister belegt ist. Siehe dazu auch Abschnitt 7.7.2.

Tabelle 21: Triggermodus / Referenzpunktmodi

Triggerquelle	Verwendung
TRG-Eingang	Triggerung bei Ereignissen von externen Komponenten (z.B. Messtaster). Triggerung durch einen Mikrocontroller zur äquidistanten Messung.
Timer	Triggerung zur äquidistanten Messung.
Referenz CFG3/ZMODE="01"	Triggerung durch das Referenz-/Index-Signal zur Auswertung in Software.
Referenz CFG3/ZMODE="10"	Triggerung durch das Referenz-/Index-Signal zum Abgleich der Referenzpunktposition durch Software.
Referenz CFG3/ZMODE="11"	Triggerung durch das Referenz-/Index-Signal zur Auswertung abstandskodierter Referenzmarken.

TRG-Eingang

Mit einer Signalfanke am Eingang `TRG` wird der aktuelle Zählwert in eines der zwei Triggerhaltereregister übernommen. Die aktive Triggerflanke wird mit `CFG1/TRGSLP` eingestellt.

Timer

Nach Ablauf des internen Timers wird der aktuelle Zählwert in eines der zwei Triggerhaltereregister übernommen. Die Zeitkonstante des Timers wird mit den Bits `CFG3/VT` und `CFG3/T` zwischen $2^6/f_{OSZ}$ und $2^{16}/f_{OSZ}$ eingestellt.

Referenztrigger

Jedes Auftreten eines Indeximpulses führt zur Übernahme des aktuellen Zählwertes in eines der zwei Triggerhaltereregister.

Abgleich Referenzposition

Die steigende Flanke am analogen Referenzsignal setzt den internen Zähler zurück. Die Erkennung des Indexpunktes durch den IC am eingestellten Phasenwinkel triggert die Übernahme des Zählwertes in das erste Triggerhaltereregister. Die fallende Flanke am analogen Referenzsignal triggert die Übernahme des Zählwertes in das zweite Triggerhaltereregister. Nach diesen beiden Triggerereignissen wird das Bit `ZSTAT` gesetzt und die Triggerverarbeitung bleibt bis zur Freigabe durch eines der SPI-Kommandos `RESCNT` oder `CLRZ` gesperrt. Siehe dazu auch Abbildung 11 und Abschnitt 7.7.3.

Auswertung abstandskodierter Referenzmarken

Ein erster Indexpunkt setzt den internen Zähler zurück. Ein zweiter Indexpunkt triggert die Übernahme des Zählwertes in ein Triggerhaltereregister. Nach diesen beiden Ereignissen wird das Bit `ZSTAT` gesetzt und die Triggerverarbeitung bleibt bis zur Freigabe durch eines der SPI-Kommandos `RESCNT` oder `CLRZ` gesperrt. Die beiden Indexpunkte müssen mindestens um zwei Perioden der Eingangssignale voneinander abweichen.

7.9 Messwertregister

Die interpolierten Zählwerte, die per Trigger gehaltenen Zählwerte, die Positionswerte sowie die Sensorüberwachungsfunktionen sind über die serielle Schnittstelle SPI aus verschiedenen Registern lesbar. Folgende Tabelle zeigt eine Übersicht, welche Register für verschiedene Anwendungen und Schnittstellen verwendet werden können.

Tabelle 22: Positionsregister

	SPI	SSI
Register CNT	Interpolationszähler 30 Bit Indexpunktstatus 1 Bit Fehlerstatus 1 Bit	-
Register MVAL	Interpolationszähler 30 Bit Triggerwert 30 Bit Triggerstatus 1 Bit Fehlerstatus 1 Bit	-
Register POSIT	Interpolationszähler 8-30 Bit Multiturnzähler 0-16 Bit Fehlerstatus 2 Bit	-
Register STAT	Fehlerstatus 9 Bit Triggerstatus 4 Bit Indexpunktstatus 1 Bit	-
SSI-Daten	-	Interpolationszähler 8-30 Bit Multiturnzähler 0-16 Bit Fehlerstatus 2 Bit

Das Datenformat der Positionsdaten (Register POSIT) und der SSI-Daten wird im Register CFGSSI mit den Bits STBIT, MTBIT und GRAY festgelegt. Mit den Bits MTBIT wird die Auflösung des Multiturnzählers zwischen 0, 8, 12 und 16 Bits gewählt. Die restlichen Bits des übertragenen POSIT-Registers werden mit Bits des Singleturnzählers aufgefüllt. Die Konfigurationsbits STBIT stellen ein, wie viele Bits (LSB) innerhalb des Singleturnzählers gültig sind. Ungültige MSB werden mit „0“ aufgefüllt. Die Kodierung beider Zählwerte wird anhand des Bits GRAY zwischen Graycode und Binärcode umgeschaltet. Die Gesamtlänge der SSI-Daten ist zusätzlich abhängig vom Bit SSI20.

Tabelle 23: Konfiguration Datenformat Positionsdaten

MTBIT	SSI20	Positionsdaten SPI Register POSIT	Positionsdaten SSI
00	0	30 Bit Singleturn / 8-30 Bit Auflösung 1 Bit Fehler / 1 Bit Warnung	30 Bit Singleturn / 8-30 Bit Auflösung 1 Bit Fehler / 1 Bit Warnung
01	0	8 Bit Multiturn 22 Bit Singleturn / 8-22 Bit Auflösung 1 Bit Fehler / 1 Bit Warnung	8 Bit Multiturn 22 Bit Singleturn / 8-22 Bit Auflösung 1 Bit Fehler / 1 Bit Warnung
10	0	12 Bit Multiturn 18 Bit Singleturn / 8-18 Bit Auflösung 1 Bit Fehler / 1 Bit Warnung	12 Bit Multiturn 18 Bit Singleturn / 8-18 Bit Auflösung 1 Bit Fehler / 1 Bit Warnung
11	0	16 Bit Multiturn 14 Bit Singleturn / 8-14 Bit Auflösung 1 Bit Fehler / 1 Bit Warnung	16 Bit Multiturn 14 Bit Singleturn / 8-14 Bit Auflösung 1 Bit Fehler / 1 Bit Warnung
XX	1	30 Bit Singleturn / 8-30 Bit Auflösung 1 Bit Fehler / 1 Bit Warnung	18 Bit Singleturn / 8-18 Bit Auflösung 1 Bit Fehler / 1 Bit Warnung

7.10 Zähler-Preset / SPI-Kommandos / Steuersignale

Die Werte im integrierten Zähler und im integrierten Multiturnzähler können voreingestellt werden. Die Preset-Werte werden bis zur Übernahme in speziellen Haltereigistern gespeichert. Damit ist eine anwendungsspezifische Nullposition unabhängig von Referenzmarken konfigurierbar. In Verbindung mit dem integrierten EEPROM kann diese Nullposition auch dauerhaft gespeichert werden. Zusätzlich dazu sind SPI-Kommandos und Signale zum Lesen und Speichern der Konfiguration sowie zur Beeinflussung von Regler und Zähler implementiert:

Tabelle 24: Kommandos / Steuersignale

Aktion	Zähler und Reg. PRE_ST	Multiturnzähler und Reg. PRE_MT	Regler	Register / EEPROM
Referenzsignal (an REFP/REFN)	Zähler-Reset auf 0	Zähler: Inkrementieren oder Dekrementieren	-	-
Reset / SPI-Befehl RESIC ¹⁾	PRESET-Register werden aus EEPROM geladen, danach wird dieser Wert in die Zähler übernommen		Reglerwerte werden aus EEPROM geladen	Konfiguration wird aus dem EEPROM gelesen und in die Register geschrieben
Reset / SPI-Befehl RESIC ²⁾	Zähler-Reset auf 0; PRESET-Register werden mit 0 initialisiert		Reset auf Mittenstellung	Register werden auf Werkseinstellung zurückgesetzt
SPI-Befehl RESCNT	PRESET-Register werden in die Zähler übernommen		-	-
SPI-Befehl RESCTL	-	-	Reset auf Mittenstellung	-
SPI-Befehl WCFG	PRESET-Register werden in den EEPROM übertragen; Die Zähler werden nicht beeinflusst		Reglerwerte werden in EEPROM übertragen	Konfiguration wird aus den Registern gelesen und in den EEPROM geschrieben
Fallende Flanke am Zero-Signal ¹⁾	PRESET-Register werden in die Zähler übernommen		-	-
Fallende Flanke am Teach-Signal ¹⁾ wenn Bit CFG2/TEAEN = 1	Zählwerte werden in die PRESET-Register übernommen, danach werden die PRESET-Register in den EEPROM übertragen		Reglerwerte werden in EEPROM übertragen	Konfiguration wird aus den Registern gelesen und in den EEPROM geschrieben

¹⁾ falls EEPROM aktiv, siehe Abschnitt 6.1

²⁾ falls EEPROM nicht aktiv, siehe Abschnitt 6.1

Laut Tabelle 24 können die Zähler auch direkt durch SPI manipuliert werden, in dem als erstes die Register PRE_ST oder PRE_MT geschrieben werden und danach die geschriebenen Registerinhalte mit dem Kommando RESCNT in die Zähler übertragen werden.

Die Steuersignale TEACH und ZERO werden im IC entprellt. Die jeweilige Funktion wird an der fallenden Flanke des Signals ausgelöst, danach werden für die Zeit von t_{debounce} keine Signaländerungen beachtet. Für eine Taktfrequenz f_{OSZ} von 40 MHz beträgt diese Zeit t_{debounce} ca. 2,5 ms. Das TEACH-Signal muss mittels des Konfigurationsbits CFG2/TEAEN aktiviert werden.

Da Zähler, Regler und EEPROM von mehreren Quellen beeinflusst werden, gelten folgende Hinweise:

- Das TEACH-Signal wird unterdrückt, falls ein EEPROM-Zugriff aktiv ist
- Das ZERO-Signal wird unterdrückt, falls ein EEPROM-Zugriff aktiv ist
- Der Befehl RESCNT wird unterdrückt, falls ein EEPROM-Zugriff aktiv ist
- Der Befehl WCFG wird unterdrückt, falls ein EEPROM-Zugriff aktiv ist
- Falls das ZERO-Signal aktiv ist, während per SPI das PRE_ST- oder PRE_MT-Register geschrieben wird, können fehlerhafte Werte in die Zähler übertragen werden
- Für die Verwendung des Befehls WCFG und des TEACH-Signals ist die Anzahl der maximalen Schreibzyklen des EEPROM zu beachten.

8 Digitale Schnittstellen

8.1 Serielle Schnittstelle SPI

Die serielle Schnittstelle SPI wird aktiviert, wenn während des Rücksetzens des IC der Eingang SEN auf H-Pegel gehalten wird. Der AM-IP4k arbeitet im Slave-Modus, d.h. er kann von selbst keine Kommunikation starten. Es ist möglich, bis zu 16 ICs an einem einzigen Schnittstellenbus zu betreiben. Die Schnittstelle ist kompatibel zu den wichtigsten Mikrocontroller-Familien im SPI-Modus 0 (16 Bit Daten, MSB first, SCK-Default Low, Sampling mit steigender Taktflanke).

8.1.1 Signale

Tabelle 25: SPI-Signale

Signal	Bedeutung	Richtung
SCK	Takt Mit steigender Flanke an SCK werden die Daten an MOSI vom IC übernommen Mit fallender Flanke an SCK werden die Daten an MISO vom IC geändert	IN
SEN	Freigabe Low: Schnittstelle ist freigegeben High: Schnittstelle ist gesperrt, MISO wird hochohmig oder nWAIT Steigende Flanke: Befehl wird ausgeführt	IN
MOSI	Master-OUT / Slave-IN Dateneingang	IN
MISO/nWAIT	Master-IN / Slave-OUT Datenausgang und Statussignal Achtung! Am Pin wird ein Pull-Up Widerstand benötigt!	OUT (Tristate-fähig)

Während des Resetvorganges des IC und in der Wartezeit eines synchronen SPI-Lesebefehls wird die MISO-Leitung auf L-Pegel gehalten (Bedeutung nWAIT).

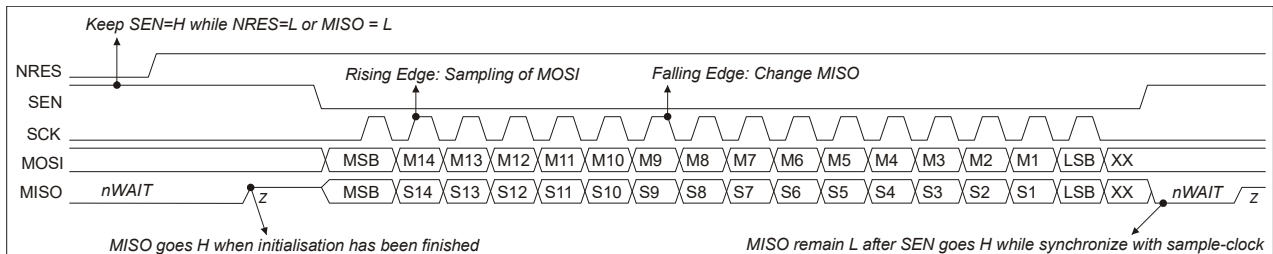


Abbildung 12: SPI-Übertragung (1)

8.1.2 Protokoll

Tabelle 26: SPI-Protokoll

OP-Code	Beschreibung	Bit am Signal MOSI															
		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
		OPC				HWA				DATA							
WRA	Schreibe Adresse	1	0	0	nB	H3	H2	H1	H0	A7	A6	A5	A4	A3	A2	A1	A0
WRD	Schreibe Daten	1	0	1	nB	H3	H2	H1	H0	D7	D6	D5	D4	D3	D2	D1	D0
RD0/ST	Lese Bytes 0+1 (2 LSB)	1	1	0	X	H3	H2	H1	H0	A7	A6	A5	A4	A3	A2	0	0
RD1	Lese Bytes 2+3 (2 MSB)	1	1	1	X	X	X	X	X	X	X	X	X	X	X	X	X
NOP	Ausgabe des Leseregisters	0	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

H (3:0): Hardware-Adresse, Default: '0000', Wird nicht ausgewertet, wenn nB = 0
 A (7:0): Register-Adresse innerhalb eines IC
 D (7:0): Datenwort / Schreibdaten (Lesedaten erscheinen an MISO)
 nB: Broadcast (L-aktiv) 0: Befehl an alle IC 1: Befehl an den durch H (3:0) adressierten IC

Default-OP-Codes

WRA = 0x8000+Adresse WRD = 0xA000+Daten
 RD0 = 0xC000+Adresse RD1 = 0xE000
 NOP = 0x0000

Jeder Datentransfer wird durch das Senden eines SPI-Wortes durch den Host-Prozessor eingeleitet. Ein

SPI-Wort besteht aus 4 Bit OP-Code, 4 Bit Hardware-Adresse und 8 Bit Daten. OP-Codes werden nur akzeptiert, wenn die gesendete Hardwareadresse mit der gespeicherten Hardwareadresse des AM-IP4k übereinstimmt. Nach einem Reset besitzt der IC die Hardwareadresse '0000'. Mit Hilfe des Kommandos `SETHWA` können die Pegel an `HWA<3:0>` als neue Hardwareadresse in den IC übernommen werden. OP-Codes zum Lesen eines Registers führen im **nächstfolgenden** SPI-Zugriff zur Datenausgabe an `MISO`, unabhängig von der Hardwareadresse im neuen SPI-Wort.

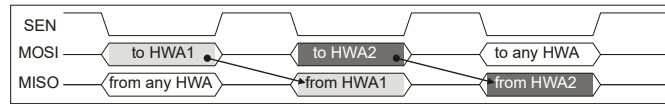


Abbildung 13: SPI-Übertragung (2)

8.1.3 Registerzugriff

Der Zugriff auf die Register im AM-IP4k erfolgt 8 Bit schreibend und 16 Bit lesend. Die Register des IC sind 32 Bit organisiert. Aus diesem Grund ist im IC für Lesezugriffe ein 32 Bit Haltereister implementiert. Zu lesende Daten werden mit dem SPI-Wort `RD0/ST` in dieses Haltereister übernommen. Die Datenausgabe der beiden niederwertigen Byte an `MISO` geschieht während des **nächsten** SPI-Zyklus. Die Datenausgabe der beiden höherwertigen Byte an `MISO` geschieht im SPI-Zyklus, welcher dem SPI-Wort `RD1` an `MOSI` nachfolgt. In der Regel werden zum Lesen eines 32-Bit-Registers die Befehle `RD0/ST`, `RD1` und `NOP` hintereinander ausgeführt. Zum Lesen mehrerer Register in Folge kann die Sequenz: `RD0 – RD1 – RD0 – RD1...` verwendet werden. Zum Schreiben eines Registers wird als erstes mit dem SPI-Wort `WRA` die Registeradresse eingestellt. Danach kann das Register mittels `WRD` beschrieben werden. Das Schreiben eines 32 Bit Registers geschieht byteweise.

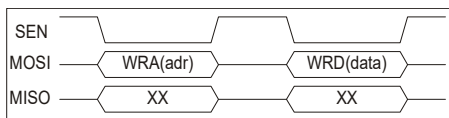


Abbildung 14: SPI Schreiben 8 Bit

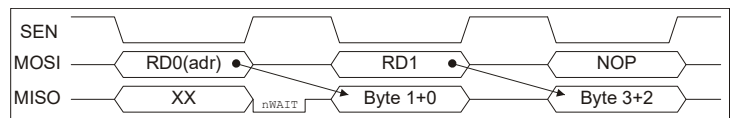


Abbildung 15: SPI Lesen 32 Bit

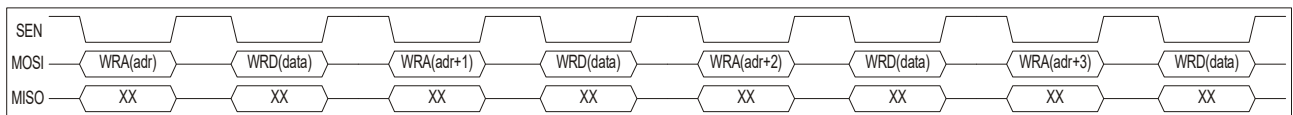


Abbildung 16: SPI Schreiben 32 Bit

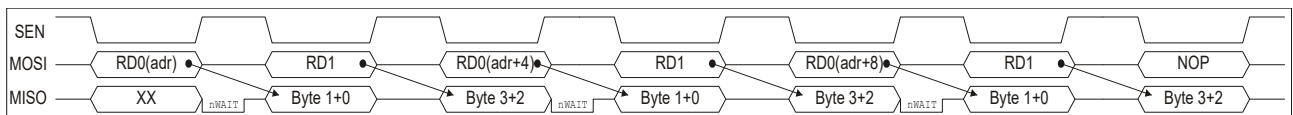


Abbildung 17: SPI Lesen 3x32 Bit

8.1.4 SPI - Synchron / Asynchron

Beim Lesen eines Registers geschieht die Datenübernahme der 32 Bit Registerdaten in das Haltereister synchron zum internen Ablauf des IC. Mit Hilfe des Wertes `SYNC` im Register `CFG2` kann der Zeitpunkt relativ zum Abtastzeitpunkt der ADC verschoben werden. Dadurch ist es möglich, äquidistante Messungen mit geringer Totzeit durchzuführen. Der Ausgang `MISO` ist während der Wartezeit zur Synchronisation Low. Falls das Bit `ASYN` im Register `CFG2` gesetzt ist (Asynchronbetrieb), werden die Daten sofort nach steigender Flanke am Signal `SEN` gespeichert. Der zeitliche Bezug zur Abtastung der Analogsignale geht verloren. Dadurch werden allerdings höhere Übertragungsgeschwindigkeiten erreicht. Für das Lesen der Register `MVAL`, `CNT`, `POSIT`, `STAT`, `CTRLG`, `CTRL0` und `ADC` kann ein beliebiger Wert für `SYNC` eingestellt werden. Mit dem Defaultwert '00000' ergibt sich eine geringe Verzögerung zwischen berechnetem Zählwert und Datenausgabe an der SPI-Schnittstelle. Für das Lesen der Register `CADC`, `IP1` und `IP2` muss ein Wert von '00100' verwendet werden.

8.2 SSI-Schnittstelle

Die SSI-Schnittstelle des AM-IP4k wird aktiviert, wenn während des Rücksetzens des IC der Eingang **SEN** auf L-Pegel gehalten wird. Zum Betrieb des AM-IP4k über SSI-Schnittstelle **muss** der EEPROM eine gültige Konfiguration enthalten, da für den Betrieb grundlegende Parameter im EEPROM enthalten sind. Die Bits **SSITO** und **RING** im Register **CFGSSI** werden zum Betrieb der Schnittstelle anhand der Systemparameter durch den Anwender im EEPROM initialisiert.

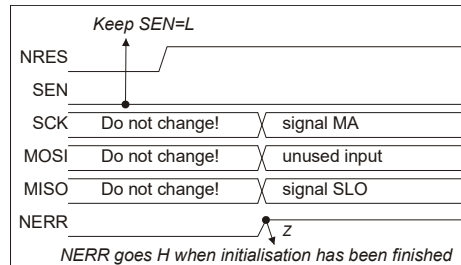


Abbildung 18: Initialisierung SSI-Hardware

In den Daten des SSI-Protokolls wird das Register **POSIT** (siehe Abschnitt 7.9) mit einer Datenlänge von insgesamt 20 oder 32 Bit übertragen. Darin enthalten sind der Wert des Interpolationszählers (=Singleturn-Zähler) und des Multiturnzählers. Zusätzlich sind zwei Bits für Fehlerinformationen reserviert.

Falls das Bit **RING** im Register **CFGSSI** gesetzt ist, kann der SSI-Master durch einen kontinuierlichen Takt die wiederholte Datenübertragung des gleichen Wertes erzwingen (SSI-Ringbetrieb).

ⓘ Bei Verwendung des Multiturnzählers ist es sinnvoll, eine der Interpolationsraten 256, 128, 64 oder 32 einzustellen, da der übergeordnete Schnittstellenmaster in der Regel nur mit binären Auflösungen arbeitet.

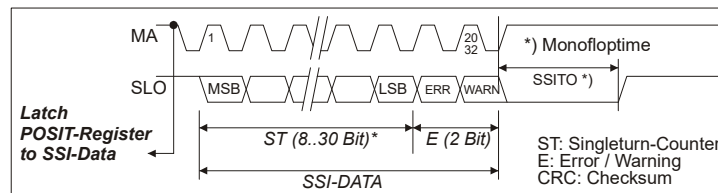


Abbildung 19: SSI

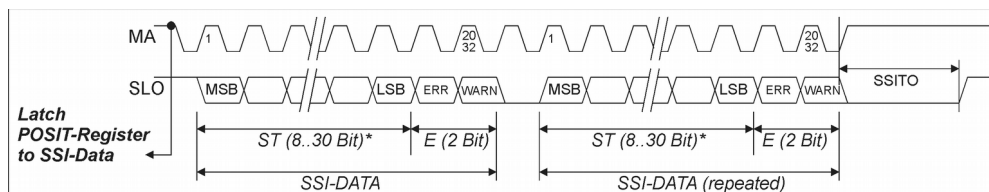


Abbildung 20: SSI (Ringbetrieb)

Tabelle 27: Register **CFGSSI** (SSI-Mode)

Bit	Bedeutung	Herstellerkonfiguration	Anwenderkonfiguration
SSITO	SSI-Timeout	20µs bei 40 MHz	SSITO = (Timeout·f _{osz})-3
RING	SSI-Ringbetrieb	Ringbetrieb	Betriebsart des SSI-Masters
SSI20	Gesamtlänge der Daten	32 Bit	0 für 32 Bit / 1 für 20 Bit

8.3 EEPROM

Zur permanenten Speicherung der anwenderspezifischen Konfiguration ist im AM-IP4k ein EEPROM integriert. Nach einem Reset wird getestet, ob der EEPROM freigegeben ist und der Inhalt ausgelesen werden kann. **Die Freigabe der einzelnen EEPROM Bereiche erfolgt mit einem gespeicherten Datenwort von 0x134A an den EEPROM-Adressen 0x00-0x02.**

Das Schreiben des EEPROM geschieht über eine interne Schnittstelle, auf welche über das Register `EEP` zugegriffen wird. Das Lesen beliebiger EEPROM-Zellen erfolgt ebenfalls über dieses Register.

Die Abläufe zum Lesen und Schreiben des EEPROM sind in Abschnitt 11.3 beschrieben. Es ist darauf zu achten, dass bei gesetztem Bit `EEPBSY` im Register `EEP` das Register `EEP` nicht beschrieben werden darf.

Tabelle 28: Adressierung EEPROM

	Register	EEPROM
Wortbreite Daten	8 Bit	16 Bit
Wortbreite Adresse	8 Bit	8 Bit / EEPROM-Adresse = Register-Adresse / 2
Endianess	Little Endian	Little Endian

9 Register

Tabelle 29: Registerüberblick

Register	Zugriff ¹⁾	Adresse SPI	Adresse EEPROM ²⁾	Bemerkungen
MVAL	R	0x00...0x03	0x00...0x01	Gültigkeit Konfiguration an 0x00
CNT	R	0x04...0x07	0x02...0x03	Gültigkeit Koeffizienten SC an 0x01 Gültigkeit Koeffizienten 360 an 0x02
STAT/ID/REV	R	0x08...0x0B		
CFG1	R/W	0x0C...0x0F	0x06...0x07	
CFG2	R/W	0x10...0x13	0x08...0x09	
CFG3	R/W	0x14...0x17	0x0A...0x0B	
CFG4	R/W	0x18...0x1B	0x0C...0x0D	
CNTRLG	R/W	0x1C...0x1F	0x0E...0x0F	
CNTRLO	R/W	0x20...0x23	0x10...0x11	
PRE_ST	R/W	0x24...0x27	0x12...0x13	
PRE_MT	R/W	0x28...0x2B	0x14...0x15	
ungenutzt	R/W	0x2C...0x2D	0x16	
CFGIUW	R/W	0x2E...0x2F	0x17	Konfiguration Analogregler
CFGSSI	R/W	0x30...0x33	0x18...0x19	
CFGGLDR	R/W	0x34...0x37	0x1A...0x1B	Konfiguration Laserdiodenregelung
CFGGLDR2	R/W	0x38...0x3B	0x1C...0x1D	Konfiguration Laserdiodenregelung 2
MANUFACTURE	!	0x3C...0x3F	0x1E...0x1F	Schreibgeschützt
ungenutzt	!	0x40...0x47	0x20...0x23	
EEDAT	R/W	0x48...0x49		
EEDADR / EEDSTAT	R/W	0x4A		
EEDOPC / EEDMSB	W	0x4B		
CFGTM	R/W	0x4C...0x4F		Schreibgeschützt über TM
CMD	W	0x50...0x51		
TSTCMD (16 Bit)	W	0x52...0x53		Schreibgeschützt
CFGEEP	R/W	0x54...0x57		
ungenutzt	R/W	0x58...0x67	0x2A...0x33	
Abgleich3	!	0x68...0x6B	0x34...0x35	Schreibgeschützt
Abgleich2	!	0x6C...0x6F	0x36...0x37	
Abgleich1	!	0x70...0x73	0x38...0x39	
Abgleich0	!	0x74...0x77	0x3A...0x3B	
ungenutzt	!	0x78...0x7F	0x3C...0x3F	
ungenutzt	R	-	0x40...0x9F	
Koeffizienten_360	R (SPI1)	0x40...0x5F	0xA0...0xBF	
Koeffizienten_SC	R (SPI1)	0x60...0x7F	0xC0...0xDF	
IP-Tabelle (fix)	R (SPI1)	0xC0...0xFF	0xE0...0xFF	Schreibgeschützt
POSIT	R	0x80...0x83		
ADC	R	0x84...0x87		
CADC	R	0x88...0x8B		
IP1	R	0x8C...0x8F		
IP2	R	0x90...0x93		
Korrekturwert SC	R	0x94...0x97		
Korrekturwert 360	R	0x98...0x9B		
LDR_OUT	R	0x9C...0x9F		Ausgabewert Laserdiodenregelung
SPI-Page = SPI-MSB	R/W	0xFF	-	Auf jeder SPI-Page erreichbar

¹⁾ R: Nur Lesen (Register 32 Bit) W: Nur Schreiben (Register) R/W: Lesen/Schreiben (Register)
R (SPI): Nur Lesen über SPI-Page 1 !: Herstellerregister. Darf/kann nicht geändert werden!

²⁾ Die EEPROM Adresse gilt bei Lesen/Schreiben des EEPROM über das interne Interface (Register EEP).

dunkelgrau: Register wird während Reset aus EEPROM geladen

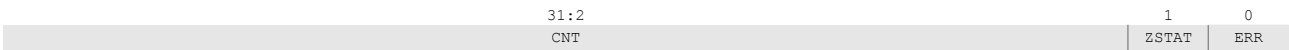
weiß: EEPROM enthält Gültigkeitskennungen 0x134A

MVAL Messwert / Triggerwert



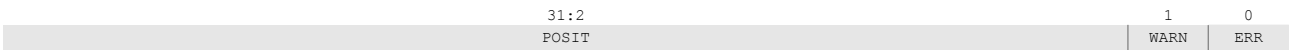
Bit	Name	Reset-Wert	Format	Wert	Bedeutung
31:2	CNT/TVAL	0	→ CNT		Messwert; Wert entspricht Register CNT bzw. dem Inhalt eines Triggerhalterregisters. Durch Lesen des Wertes MVAL wird ggf. ein Triggerhalterregister freigegeben. → Abschnitt 7.8
1	TRG	0	Bit	0 1	Messwert entspricht aktuellem Register CNT Messwert entspricht Inhalt eines Triggerhalterregisters
0	ERR	0	Bit	0 1	Messwert ist gültig Ein Fehler ist aufgetreten. Der aktuelle Messwert und alle nachfolgenden Werte sind zu verwerfen. Nach Beseitigung der Fehlerursache und dem Rücksetzen der Fehlerbits (SPI-Befehl: RESCNT) ist für Messung unter Verwendung des Referenzsignals ein erneutes Überfahren des Referenzpunktes notwendig! → Abschnitt 7.6

CNT Zählwert



Bit	Name	Reset-Wert	Format	Wert	Bedeutung
31:2	CNT	0	Signed		Zählwert
1	ZSTAT	0	Bit	0 1	Referenzmarke des Maßstabes wurde noch nicht überfahren oder Bezug von Zählwert und Referenzmarke ging aufgrund eines Fehlers verloren. Referenzmarke des Maßstabes wurde überfahren; AM-IP4k und inkrementeller Maßstab arbeiten synchron. → Abschnitt 7.4.3
0	ERR	0	Bit	0 1	Messwert ist gültig Ein Fehler ist aufgetreten. Der aktuelle Messwert und alle nachfolgenden Werte sind zu verwerfen. Nach Beseitigung der Fehlerursache und dem Rücksetzen der Fehlerbits (SPI-Befehl: RESCNT) ist für Messung unter Verwendung des Referenzsignals ein erneutes Überfahren des Referenzpunktes notwendig! → Abschnitt 7.6

POSIT Positionswert (Multiturn + Singleturn)



Bit	Name	Reset-Wert	Format	Wert	Bedeutung
31:2	POSIT	0x0000	Unsigned ST Unsigned MT		Positionswert aus Multiturn- und Singleturn-Position. → Abschnitt 7.9
1	WARN	0	Bit	0 1	Messwert ist gültig. Messwert mit eingeschränkter Genauigkeit. → Abschnitt 7.6
0	ERR	0	Bit	0 1	Messwert ist gültig. Ein Fehler ist aufgetreten. Der aktuelle Messwert und alle nachfolgenden Werte sind zu verwerfen. Nach Beseitigung der Fehlerursache und dem Rücksetzen der Fehlerbits (SPI-Befehl: RESCNT) ist für Messung unter Verwendung des Referenzsignals ein erneutes Überfahren des Referenzpunktes notwendig! → Abschnitt 7.6

STAT / ID / REV			ASIC Kennung / Status													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
ASICID				ASICREV				-	-	-	-	-	-	-	-	-
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
EKOVL	-	ZSTAT	TRGOVL	TRGZ	TRGTIM	TRGPIN	ESOFF	ECOFF	ESGAIN	ECGAIN	EABZ	EFAST	ESADC	ECADC	EVLOW	

Bit	Name	Reset-Wert	Format	Wert	Bedeutung
31:28	ASICID	0100	Binär	0100	Der IC ist ein AM-IP4k.
27:24	ASICREV	0011	Binär	0011	Silizium-Revision des IC
23:16	-	0x00	Binär	-	-
15	EKOVL	0	Binär	0 1	Kein Fehler bei der Berechnung der Korrekturwerte. Der berechnete Korrekturwert ist ungültig. Ursache dafür ist eine falsche Konfiguration der Korrekturkoeffizienten. Es sollte ein erneutes Einmessen des Sensors durchgeführt werden.
14	-	0	Bit	-	-
13	ZSTAT	0	Bit	0 1	Referenzmarke des Maßstabes wurde noch nicht überfahren oder Bezug von Zählwert und Referenzmarke ging aufgrund eines Fehlers verloren. Referenzmarke des Maßstabes wurde überfahren. Der schaltkreisinterne Zähler und Maßstab arbeiten synchron. → Abschnitte 7.4.3, 7.7.3, 7.7.4
12	TRGOVL	0	Bit	0 1	Kein Überlauf der Triggerhalterregister. Überlauf Triggerhalterregister; Triggerereignis ging verloren.
11	TRGZ	0	Bit	0 1	Nächster an Adresse MVAL gelesene Messwert wurde nicht vom Referenzsignal getriggert. Nächster an Adresse MVAL gelesene Messwert wurde vom Referenzsignal getriggert.
10	TRGTIM	0	Bit	0 1	Nächster an Adresse MVAL gelesene Messwert wurde nicht vom Timer getriggert. Nächster an Adresse MVAL gelesene Messwert wurde vom Timer getriggert.
9	TRGPIN	0	Bit	0 1	Nächster an Adresse MVAL gelesene Messwert wurde nicht vom Pin TRG getriggert. Nächster an Adresse MVAL gelesene Messwert wurde vom Pin TRG getriggert.
8	ESOFF	0	Bit	0 1	Kein Offsetfehler am Sinussignal. Der Offsetregler für das Sinussignal hat seine Grenze erreicht. Ursache ist ein zu großer Signaloffset, ein ungültiger Wert zur Initialisierung des Reglers, ein teilweiser oder ein vollständiger Sensorabriss.
7	ECOFF	0	Bit	0 1	Kein Offsetfehler am Cosinussignal. Der Offsetregler für das Cosinussignal hat seine Grenze erreicht. Ursache ist ein zu großer Signaloffset, ein ungültiger Wert zur Initialisierung des Reglers, ein teilweiser oder ein vollständiger Sensorabriss.
6	ESGAIN	0	Bit	0 1	Kein Amplitudenfehler am Sinussignal. Der Verstärkungsregler für das Sinussignal hat seine Grenze erreicht. Ursache ist eine zu kleine Signalamplitude, ein teilweiser oder ein vollständiger Sensorabriss.
5	ECGAIN	0	Bit	0 1	Kein Amplitudenfehler am Cosinussignal. Der Verstärkungsregler für das Cosinussignal hat seine Grenze erreicht. Ursache ist eine zu kleine Signalamplitude, ein teilweiser oder ein vollständiger Sensorabriss.
4	EABZ	0	Bit	0 1	Kein Fehler an A, B, Z. Die Signale an A, B und Z sind ungültig. Ursache ist eine zu hohe Eingangsfrequenz. Die überwachte Frequenz ist abhängig vom eingestellten minimalen Flankenabstand t _{pp} . Dieser Fehler tritt auch auf, wenn die Interpolationsrate oder der minimale Flankenabstand geändert wird. Für die Zählerbetriebsart wird die Erkennung dieses Fehlers automatisch deaktiviert.
3	EFAST	0	Bit	0 1	Kein Geschwindigkeitsfehler. Die Eingangsfrequenz ist so hoch, dass die A/B-Signale nicht gebildet werden können bzw. keine Richtungserkennung mehr möglich ist. Die überwachte Frequenz unterscheidet sich bei Betrieb mit internem Zähler bzw. bei Verwendung der Rechteckausgänge A, B, Z.
2	ESADC	0	Bit	0 1	Kein ADC-Fehler am Sinussignal. Der AD-Wandler für das Sinussignal ist übersteuert. Ursache ist eine zu große Signalamplitude. Für Signale mit sehr großem Offset bei gleichzeitig großer Amplitude kann dieser Fehler ebenfalls auftreten.
1	ECADC	0	Bit	0 1	Kein ADC-Fehler am Cosinussignal. Der AD-Wandler für das Cosinussignal ist übersteuert. Ursache ist eine zu große Signalamplitude. Für Signale mit sehr großem Offset bei gleichzeitig großer Amplitude kann dieser Fehler ebenfalls auftreten.
0	EVLOW	0	Bit	0 1	Kein Vektorfehler. Der aus Cosinus- und Sinussignal gebildete Signalvektor ist zu klein. Ursache ist meist ein teilweiser oder vollständiger Sensorabriss. Für Signale mit sehr großem Offset bei gleichzeitig kleiner Amplitude kann dieser Fehler ebenfalls auftreten.

CFG1		Konfiguration 1													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TRI	LKOVL	LOFF	LGAIN	LABZ	LFAST	LADC	LVLOW	HLD	MKOVL	MOFF	MGAIN	MABZ	MFAST	MADC	MVLOW
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
GAIN		DH		TPP			MODE			IR					

Bit	Name	Reset-Wert	Format	Wert	Bedeutung
31	TRI	0	Bit	0 1	Das Verhalten der Signale A,B und Z im Fehlerfall durch das Bit HLD bestimmt. Die Signale A,B und Z sind im Fehlerfall hochohmig.
30	LKOVL	0	Bit	0 1	Erkannte Fehler des Korrekturwertes (EKOVL) werden nicht gespeichert. Erkannte Fehler des Korrekturwertes (EKOVL) werden gespeichert.
29	LOFF	0	Bit	0 1	Erkannte Offsetfehler (ESOFF/ECOFF) werden nicht gespeichert. Erkannte Offsetfehler (ESOFF/ECOFF) werden gespeichert.
28	LGAIN	0	Bit	0 1	Erkannte Verstärkungsfehler (ESGAIN/ECGAIN) werden nicht gespeichert. Erkannte Verstärkungsfehler (ESGAIN/ECGAIN) werden gespeichert.
27	LABZ	0	Bit	0 1	Erkannte A/B/Z-Fehler (Geschwindigkeitsfehler) (EABZ) werden nicht gespeichert. Erkannte A/B/Z-Fehler (Geschwindigkeitsfehler) (EABZ) werden gespeichert.
26	LFAST	0	Bit	0 1	Erkannte Geschwindigkeitsfehler (EFAST) werden nicht gespeichert. Erkannte Geschwindigkeitsfehler (EFAST) werden gespeichert.
25	LADC	0	Bit	0 1	Erkannte ADC-Fehler (ESADC/ECADC) werden nicht gespeichert. Erkannte ADC-Fehler (ESADC/ECADC) werden gespeichert.
24	LVLOW	0	Bit	0 1	Erkannte Vektorfehler (EVLOW) werden nicht gespeichert. Erkannte Vektorfehler (EVLOW) werden gespeichert.
23	HLD	1	Bit	0 1	Das Verhalten der Signale A,B und Z ist im Fehlerfall undefiniert. Die Signale A,B und Z werden im Fehlerfall nicht geändert.
22	MKOVL	1	Bit	0 1	Die Erkennung von Fehlern des Korrekturwertes (EKOVL) ist deaktiviert. Die Erkennung von Fehlern des Korrekturwertes (EKOVL) ist aktiviert.
21	MOFF	1	Bit	0 1	Die Erkennung von Offsetfehlern (ESOFF/ECOFF) ist deaktiviert. Die Erkennung von Offsetfehlern (ESOFF/ECOFF) ist aktiviert.
20	MGAIN	1	Bit	0 1	Die Erkennung von Verstärkungsfehlern (ESGAIN/ECGAIN) ist deaktiviert. Die Erkennung von Verstärkungsfehlern (ESGAIN/ECGAIN) ist aktiviert.
19	MABZ	1	Bit	0 1	Die Erkennung von A/B/Z-Fehlern (EABZ) ist deaktiviert; Der IC arbeitet im Zählerbetrieb. Die Erkennung von A/B/Z-Fehlern (EABZ) ist aktiviert; Der IC arbeitet im Rechteckbetrieb.
18	MFAST	1	Bit	0 1	Die Erkennung von Geschwindigkeitsfehlern (EFAST) ist deaktiviert. Die Erkennung von Geschwindigkeitsfehlern (EFAST) ist aktiviert.
17	MADC	1	Bit	0 1	Die Erkennung von ADC-Fehlern (ESADC/ECADC) ist deaktiviert. Die Erkennung von ADC-Fehlern (ESADC/ECADC) ist aktiviert.
16	MVLOW	1	Bit	0 1	Die Erkennung von Vektorfehlern (EVLOW) ist deaktiviert. Die Erkennung von Vektorfehlern (EVLOW) ist aktiviert.
15:14	GAIN	00	binär	00 01 10 11	Nominalamplitude 1000 mV Nominalamplitude 500 mV Nominalamplitude 250 mV Nominalamplitude 75 mV
13:11	DH	001	unsigned	DH	Schwellwert der digitalen Hysterese. Ein Wert von 0 deaktiviert die digitale Hysterese. → Abschnitt 7.4.2
10:8	TPP	001	unsigned	TPP	Minimaler Flankenabstand $t_{pp} = 2^{TPP}/f_{osz}$ → Abschnitte 7.4.2, 7.5
7:5	MODE	000	binär	000 001 010 011 100 111	Modus Standard ABZ Sensorabgleich 1 Sensorabgleich 2 Sensorabgleich Z Modus MC / DSP Einmessmodus → Abschnitt 7.7
4:0	IR	00000	binär	IR	Konfiguration Interpolationsrate → siehe Abschnitt 7.4.1

CFG2		Konfiguration 2													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
-	LP		DISMON	DISV0	DISKSC	DISK360	TEAEN	TRGSLP	PHBER	PH					
15	14	13	13	11	10	9	8	7	6	5	4	3	2	1	0
ASYNC	SYNC				IRDIV2				OFFSCTL			GAINCTL		DISCTL	

Bit	Name	Reset-Wert	Format	Wert	Bedeutung
31	ENA_AJ	0	Bit	0 1	Anti-Jitter ist deaktiviert. Anti-Jitter ist aktiv.
30:29	LP	00	Binär	00 01 10 11	Der analoge Tiefpass ist deaktiviert. Der analoge Tiefpass hat eine Grenzfrequenz (-1dB) von 250 kHz. Der analoge Tiefpass hat eine Grenzfrequenz (-1dB) von 75 kHz. Der analoge Tiefpass hat eine Grenzfrequenz (-1dB) von 10 kHz.
28	DISMON	0	Bit	0 1	Die Pins <i>SMON</i> und <i>CMON</i> sind aktiv. Die Pins <i>SMON</i> und <i>CMON</i> sind inaktiv (Stromsparfunktion).
27	DISV0	0	Bit	0 1	Das Pin <i>V1P1</i> ist aktiv. Das Pin <i>V1P1</i> ist inaktiv (Stromsparfunktion).
26	DISKSC	0	Bit	0 1	Periodische Oberwellenkorrektur ist aktiviert. Periodische Oberwellenkorrektur ist deaktiviert.
25	DISK360	0	Bit	0 1	Positionsfehler-Korrektur ist aktiviert. Positionsfehler-Korrektur ist deaktiviert.
24	TEAEN	0	Bit	0 1	Die Teach-Funktion ist inaktiv. Die Teach-Funktion ist aktiv. → Abschnitt 7.10.
23	TRGSLP	0	Bit	0 1	Fallende Flanke an Pin <i>TRG</i> löst Messwertübernahme in Triggerhalterregister aus. Steigende Flanke an Pin <i>TRG</i> löst Messwertübernahme in Triggerhalterregister aus.
22	PHBER	0	Bit	0 1	Der Einstellbereich des Phasenkorrekturpotentiometers beträgt ± 5°. Die Schrittweite beträgt 0.156°. Der Einstellbereich des Phasenkorrekturpotentiometers beträgt ± 10°. Die Schrittweite beträgt 0.313°.
21 :16	PH	000000	signed	-32 PH +31	Größte Phasenverschiebung negativ. Einstellwert des Phasenkorrekturpotentiometers. Größte Phasenverschiebung positiv.
15	ASYNC	0	Bit	0 1	Die zu lesenden Daten werden synchron zum internen Ablauf mit dem SPI-Wort <i>RD0/ST</i> in ein 32-Bit-Halterregister übernommen. Mit dem Wert von <i>SYNC</i> kann der Übernahmezeitpunkt relativ zum Abtastzeitpunkt verschoben werden. Zu lesende Daten werden asynchron mit dem SPI-Wort <i>RD0/ST</i> in ein 32-Bit-Halterregister übernommen. Der Wert von <i>SYNC</i> wird nicht ausgewertet.
14:8	SYNC	0000000	unsigned		Verschiebung eines SPI-Lesezugriffs relativ zum Abtastzeitpunkt. Für das Lesen der Register <i>IP1</i> , <i>IP2</i> , <i>CADC</i> und zum Lesen von SPI-Page 1 muss ein Wert von 64 (dez) verwendet werden.
7:5	IRDIV2	000	binär	Div	Konfiguration erweiterter IR-Teiler → siehe Abschnitt 7.4.1
4:3	OFFSCTL	01	binär	00 01 10 11	Größte Einschwingzeit des Offsetreglers. Diese Konfiguration muss gewählt werden, falls das Sensorsignal eine geringe Eingangsfrequenz aufweist oder von Rauschen überlagert ist oder die Phase zwischen Sinus- und Cosinussignal nicht vollständig mit dem Phasenkorrekturpotentiometer abgeglichen werden kann. Verkürzung der Einschwingzeit des Offsetreglers um einen Faktor von ca. 2. Verkürzung der Einschwingzeit des Offsetreglers um einen Faktor von ca. 4. Verkürzung der Einschwingzeit des Offsetreglers um einen Faktor von ca. 8.
2:1	GAINCTL	01	binär	00 01 10 11	Größte Einschwingzeit des Verstärkungsreglers. Diese Konfiguration muss gewählt werden, falls das Sensorsignal eine geringe Eingangsfrequenz aufweist oder von Rauschen überlagert ist oder die Phase zwischen Sinus- und Cosinussignal nicht vollständig mit dem Phasenkorrekturpotentiometer abgeglichen werden kann. Verkürzung der Einschwingzeit des Verstärkungsreglers um einen Faktor von ca. 2. Verkürzung der Einschwingzeit des Verstärkungsreglers um einen Faktor von ca. 4. Verkürzung der Einschwingzeit des Verstärkungsreglers um einen Faktor von ca. 8.
0	DISCTL	0	Bit	0 1	Der interne Regler für Verstärkung und Offset ist aktiviert. Der interne Regler für Verstärkung und Offset ist deaktiviert.

CFG3				Konfiguration 3											
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
-	-	-	-	-	-	VT		T							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MXSHR	-	-	PHIOUTZ	ZDEL2		ZDEL	DISZ	ZMODE		Z4	-				

Bit	Name	Reset-Wert	Format	Wert	Bedeutung
31	-	0	Binär	-	-
30	SE_VR_int	0	Binär	0 1	Inputs SINN, COSN genutzt Interne Referenz ersetzt Inputs SINN, COSN für Single Ended
29	SE_half	0	Binär	0 1	Kein Widerstandsteiler vor INST-AMP Schaltet ½ Widerstandsteiler vor INST-AMP
28	SE_amp2	0	Binär	0 1	Normale Verstärkung in SUM_AMP Verdopplung der Verstärkung in SUM_AMP, Zweck: soll SE_half wieder ausgleichen
27:26	-	0	Binär	-	-
25:24	VT	00	Binär	00 01 10 11	$f_{VT} = f_{OSZ}/2^6$ $f_{VT} = f_{OSZ}/2^{10}$ $f_{VT} = f_{OSZ}/2^{14}$ $f_{VT} = f_{OSZ}/2^{16}$
23:16	T	0x00	unsigned	T	Zeitkonstante des Timers. $t_{Timer} = (T+1)/f_{VT}$. Falls $VT = T = 0$, so ist der Timer deaktiviert. → Abschnitt 7.8
15	MXSHR	1	Bit	0 1	Koeffizientenskalierung 16 Bit Koeffizientenskalierung 18 Bit
14	PHRENA	0	Bit	0 1	Feste Phaseneinstellung (PH/PHBER), Phasenregelung ist deaktiviert. Phasenregelung ist aktiviert.
13	ABMX	0	Bit	0 1	A/B Signalzuordnung an den Ausgängen tauschen PinA=A, PinB=B PinA=B, PinB=A
12	PHIOUTZ	0	Bit	0 1	Das Leseregister PHI wird auf Sinus- und Cosinussignal bezogen. 0° entspricht Sinus-Nulldurchgang und Cosinus-Maximum. Das Leseregister PHI wird auf die eingestellte Referenzpunktposition ZPOS2 bezogen. 0° entspricht ZPOS2
11-10	ZDEL2	00	unsigned	00 01..11	keine zusätzliche Verzögerung des Referenzpunktsignals zusätzliche interne Verzögerung des Referenzpunktsignals um ZDEL2 x CLKs
9	ZDEL	0	Bit	0 1	keine zusätzliche Verzögerung des Referenzpunktsignals zusätzliche interne Verzögerung des Referenzpunktsignals um einen ADC-Zyklus
8	DISZ	0	Bit	0 1	Referenzpunktverarbeitung ist aktiviert. Für die Aktivierung (DISZ wechselt von 1 auf 0) wird eine Zeit von 100µs benötigt. Referenzpunktverarbeitung an Kanal 1 ist deaktiviert.
7:6	ZMODE	00	binär	00 01 10 11	Referenzpunktmodus Inkrementell Referenzpunktmodus Trigger Referenzpunktmodus Abgleich Z Referenzpunktmodus Abstandskodiert → Abschnitte 7.4.3, 7.7.3, 7.8
5	Z4	0	Bit	0 1	Breite des Indexsignals Z beträgt ein Inkrement = ¼ Periode Breite des Indexsignals Z beträgt 4 Inkremente = 1 Periode → Abschnitt 7.4.3
4:0	-	00000	Binär	-	-

CFG4				Konfiguration 4											
------	--	--	--	-----------------	--	--	--	--	--	--	--	--	--	--	--

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
-	-	-	Zahnzahl												
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ZPOS2															

Bit	Name	Reset-Wert	Format	Wert	Bedeutung
31:29	-	0x0	Binär	-	-
28:16	Zahnzahl	0x000	unsigned	ZZahl	Zahnzahl für Scheibenkorrektur
15:0	ZPOS2	0x0000	unsigned	ZPOS2	Konfiguration der analogen Referenzpunktposition bezogen auf das Sinussignal. Position Referenzpunkt = ZPOS2 / IRATE * 360° (mit IRATE = Basisinterpolationsrate) → Abschnitt 7.4.3

CFGSSI Konfiguration SSI

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
-	-	SSI20	RING	SSITO											
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MTBIT		GRAY	STBIT												

Bit	Name	Reset-Wert	Format	Wert	Bedeutung
31:30	-	00	Binär	-	-
29	SSI20	1	Bit	0 1	32 Bit SSI-Daten 20 Bit SSI-Daten → Abschnitte 7.9, 8.2
28	RING	1	Bit	0 1	SSI Ringbetrieb deaktiviert. SSI Ringbetrieb aktiviert. → Abschnitt 8.2
27:16	SSITO	797 (dezimal)	Binär	SSITO	Konfiguration SSI Timeout Parameter auf 1µs...20µs. Timeout = (SSITO+3)/fOSZ bzw. SSITO = (Timeout-fOSZ)-3 Beispiel: fOSZ = 40MHz → SSITO = 37 (1µs) ... 797 (20µs) → Abschnitt 8.2
15:14	MTBIT	00	Binär	00 01 10 11	0 Bit Multiturnzähler in den Positionsdaten 8 Bit Multiturnzähler in den Positionsdaten 12 Bit Multiturnzähler in den Positionsdaten 16 Bit Multiturnzähler in den Positionsdaten → Abschnitt 7.9, Tabelle 23
13	GRAY	0	Bit	0 1	Positionsdaten (Multiturn- und Singleturnzähler) sind binär codiert. Positionsdaten (Multiturn- und Singleturnzähler) sind gray-codiert.
12:8	STBIT	30 (dezimal)	Binär	STBIT	Wortbreite des Singleturn-Wertes innerhalb der Positionsdaten in Bit, Bereich 8...30bit. Die Anzahl der übertragenen Bits ergibt sich aus Tabelle 23.
7:0	-	0x00	Binär	-	-

CFGIUW Konfiguration Analogregler

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-	-	-	-	LD_DEL	ENA_REGA		R_REG	CMP_OPR	ENA_OPLD	ENA_REGD	-	-	-	-	-

Bit	Name	Reset-Wert	Format	Wert	Bedeutung
31:12	-	0x00000	Binär	-	-
11	LD_DEL	0	Bit	LD_DEL	Frequenzkompensation umschalten (DELAY)
10	ENA_REGA	0	Bit	0 1	Analog-Regler deaktiviert Analog-Regler aktiv
9:8	R_REG	00	Binär	R_REG	Summierwiderstände Regler-Input
7	CMP_OPR	0	Bit	0 1	kleinere Frequenzkompensation höhere Frequenzkompensation
6	ENA_OPLD	0	Bit	0 1	Ausgangs-OPV abgeschaltet LD-Ausgang aktiv
5	ENA_REGD	0	Bit	0 1	Digital-Regler deaktiviert Digital-Regler aktiv
4:0	-	00000		-	-

CFGLDR Konfiguration Summensignalregelung

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ENA	INV	CONT	DC	MUX	D[6:4]			D[3:0]			OFFS[7:4]				
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OFFS[3:0]				W[11:8]				W[7:0]							

Bit	Name	Reset-Wert	Format	Wert	Bedeutung
31	ENA	0	Bit	0 1	Digitalregler aus Digitalregler ein
30	INV	0	Bit	0 1	Ausgangswert normal Ausgangswert invertiert
29	CONT	0	Bit	0 1	Regelung 1x pro Umdrehung kontinuierliche Regelung
28	DC	0	Bit	0 1	normale Reglerfunktion Ausgabe DC-Wert (= Führungsgröße)
27	MUX	0	Bit	0 1	Betragsquadrat BQ als Reglereingangsgröße ungültig
26:20	D	000000	Unsigned	D	D-Anteil PID-Regler
19:12	OFFS	0x00	Signed	OFFS	Offset Ausgangswert
11:0	W	0x000	Unsigned	W	Führungsgröße Regler

CFGLDR2 Konfiguration Summensignalregelung 2

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
MAX								GAIN							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
I								P							

Bit	Name	Reset-Wert	Format	Wert	Bedeutung
31:24	MAX	0x00	Unsigned	MAX	Maximalbetrag für Ausgangswertbegrenzung
23:16	GAIN	0x00	VZ+OneHot	0xxxxxxx 1xxxxxxx y0000000	Verstärkung Dämpfung Faktor 2er-Potenz (OneHot)
15:8	I	0x00	Unsigned	I	I-Anteil PID-Regler
7:0	P	0x00	Unsigned	P	P-Anteil PID-Regler

PRE_ST		Preset-Wert Singleturn													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
PRE_ST (31:16)															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PRE_ST (15:0)															

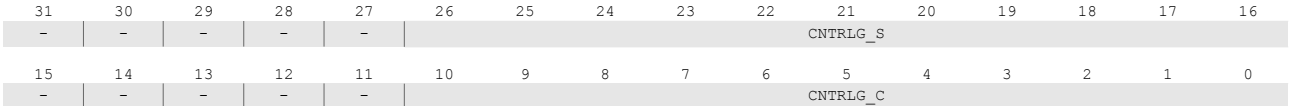
Bit	Name	Reset-Wert	Format	Wert	Bedeutung
31:0	PRE_ST	0	unsigned	PRE_ST	Preload-Wert des Singleturn Zählers → Abschnitt 7.10

PRE_MT		Preset-Wert Multiturn													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PRE_MT															

Bit	Name	Reset-Wert	Format	Wert	Bedeutung
31:16	-	0x0000	Binär	-	-
15:0	PRE_MT	0	signed	PRE_MT	Preload-Wert des Multiturn-Zählers → Abschnitt 7.10

CNTRLG **Regler: Verstärkungskorrekturwert**

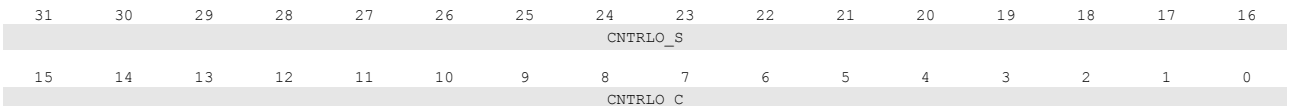
Beim Schreiben der Bits 26:16 müssen als erstes die Bits 23:16 geschrieben werden. Danach wird durch Schreiben der Bits 26:24 der vollständige Korrekturwert im Register aktualisiert. Beim Schreiben der Bits (10:0) müssen als erstes die Bits (7:0) geschrieben werden. Danach wird durch Schreiben der Bits (10:8) der vollständige Korrekturwert im Register aktualisiert. Es ist zu beachten, dass die Korrekturwerte vom IC bei aktiver Signalregelung automatisch geändert werden.



Bit	Name	Reset-Wert	Format	Wert	Bedeutung
26:16	CNTRLG_S	0x400	unsigned	CNTRLG	$CADC_S = [ADC_S + CNTRLO_S] \cdot (0.5 + CNTRLG_S/2048)$ $CADC_C = [ADC_C + CNTRLO_C] \cdot (0.5 + CNTRLG_C/2048)$ 0x000 Minimalwert; Die offsetkorrigierten ADC-Werte des Sinussignals werden mit 0.5 multipliziert. 0x400 Mittenwert; Die offsetkorrigierten ADC-Werte des Sinussignals werden mit 1.0 multipliziert. 0x7FF Maximalwert; Die (offsetkorrigierten ADC-Werte es Sinussignals werden mit 1.5 multipliziert.
10:0	CNTRLG_C	0x400	unsigned		

CNTRLO **Regler: Offsetkorrekturwert**

Beim Schreiben der Bits 31:16 müssen als erstes die Bits 23:16 geschrieben werden. Danach wird durch Schreiben der Bits 31:24 der vollständige Korrekturwert im Register aktualisiert. Falls der zu schreibende Wert außerhalb des gültigen Bereichs von -683...+682 liegt, wird das Korrekturregister nicht aktualisiert und das Bit **ESOFF** im Register **STAT/ERR** gesetzt. Beim Schreiben der Bits 15:0 müssen als erstes die Bits 7:0 geschrieben werden. Danach wird durch Schreiben der Bits 15:8 der vollständige Korrekturwert im Register aktualisiert. Falls der zu schreibende Wert außerhalb des gültigen Bereichs von -683...+682 liegt, wird das Korrekturregister nicht aktualisiert und das Bit **ECOFF** im Register **STAT/ERR** gesetzt. Es ist zu beachten, dass die Korrekturwerte vom IC bei aktiver Signalregelung automatisch geändert werden.



Bit	Name	Reset-Wert	Format	Wert	Bedeutung
31:16	CNTRLO_S	0x0000	signed	CNTRLO	$CADC_S = [ADC_S + CNTRLO_S] \cdot (0.5 + CNTRLG_S/2048)$ $CADC_C = [ADC_C + CNTRLO_C] \cdot (0.5 + CNTRLG_C/2048)$
15:0	CNTRLO_C	0x0000	signed	0xFD55 Minimalwert -682 0x0000 Mittenwert 0; keine Offsetkorrektur 0x02AA Maximalwert +683	

CMD **Kommando**



Bit	Name	Reset-Wert	Format	Wert	Bedeutung
7	TRGCAL		Bit write-only	1	Die für das Einmessen relevanten Register werden aktualisiert. Die Register werden ebenfalls aktualisiert, wenn der Trigger (Pin TRG) aktiv ist.
6	-		Bit write-only	-	-
5	SETHWA		Bit write-only	1	Die Pins HWA3, HWA2, HWA1 und HWA0 werden als Hardwareadresse in den IC eingelesen. Falls mehrere IC an einer SPI-Schnittstelle betrieben werden sollen, so muss dieser Befehl als erstes an alle angeschlossenen IC gesendet werden.
4	WCFG		Bit write-only	1	Der Inhalt der Register CFG1, CFG2, CFG3, CNTRLG und CNTRLO wird in den EEPROM übertragen. Der Registerinhalt von CFGSSI wird nicht in den EEPROM übertragen.
3	RESIC		Bit write-only	1	Der IC wird rückgesetzt und erneut konfiguriert.
2	CLRZ		Bit write-only	1	Das Status-Bit ZSTAT wird rückgesetzt. Für die Referenzpunktmodi „Abgleich ZPOS2“ und „Abstandskodiert“ wird eine neue Auswertung gestartet.
1	RESCTL		Bit write-only	1	Der interne Regler für Verstärkung und Offset wird rückgesetzt, d.h. die Korrekturwerte für Offset und Verstärkung werden in die Mitte ihres Wertebereichs gestellt.
0	RESCNT		Bit write-only	1	Der Zählwert wird mit dem Inhalt des Registers PRE_ST geladen. Der Multiturnzähler wird mit dem Wert aus PRE_MT geladen. Alle Fehlerflags im Statusregister werden rückgesetzt. Das Status-Bit ZSTAT wird rückgesetzt. Für die Referenzpunktmodi „Abgleich ZPOS2“ und „Abstandskodiert“ wird eine neue Auswertung gestartet. → Abschnitte 7.10,

ADC		ADC-Werte													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ADC_S															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADC_C															

Bit	Name	Reset-Wert	Format	Wert	Bedeutung
31:16	ADC_S	-	signed	0xF800 0x0000	Minimalwert -2048; Entspricht einer Differenzspannung von ca. -787 mV am Eingang des Instrumentationsverstärkers (@GAIN=00) . Mittlerwert 0; Entspricht einer Differenzspannung von ca. 0mV am Eingang des Instrumentationsverstärkers.
15:0	ADC_C	-	signed	0x07FF	

CADC		Korrigierte ADC-Werte													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
VZ (CADC_S)	0	Abs (CADC_S)													
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
VZ (CADC_C)	0	Abs (CADC_C)													

Bit	Name	Reset-Wert	Format	Wert	Bedeutung
31	VZ(CADC_S)	-	Bit	0 1	Korrigierter ADC-Wert Sinus ≥ 0 Korrigierter ADC-Wert Sinus < 0
29:16	Abs(CADC_S)	-	unsigned	0 0xFFFF	Korrigierter ADC-Wert Sinus(Betrag) Minimalwert Maximalwert
15	VZ(CADC_C)	-	Bit	0 1	Korrigierter ADC-Wert Cosinus ≥ 0 Korrigierter ADC-Wert Cosinus < 0
13:0	Abs(CADC_C)	-	unsigned	0 0xFFFF	Korrigierter ADC-Wert Cosinus(Betrag) Minimalwert Maximalwert

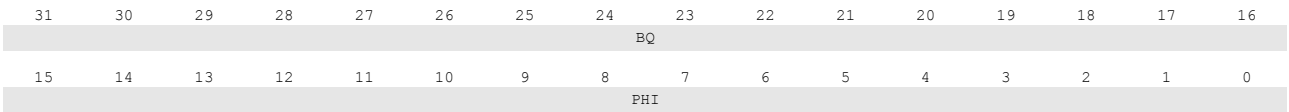
Bit	Name	Reset-Wert	Format	Wert	Bedeutung
31:16	CADC_S	-	Vorzeichen + Betrag	CADC	Korrigierter ADC-Wert Sinus $CADC_S = [ADC_S + CNTRLO_S] \cdot (0.5 + CNTRLG_S/2048)$
15:0	CADC_C	-	Vorzeichen + Betrag	CADC	Korrigierter ADC-Wert Cosinus $CADC_C = [ADC_C + CNTRLO_C] \cdot (0.5 + CNTRLG_C/2048)$

IP1		Interpolationsregister 1 – Winkelwert / Geschwindigkeit													
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DPHI															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PHI															

Bit	Name	Reset-Wert	Format	Wert	Bedeutung
31:16	DPHI	-	signed	DPHI	Der Wert $DPHI$ ist die Differenz des Phasenwinkels von Sinus- und Cosinussignal zwischen zwei Abtastungen. Der Wertebereich ist abhängig von der eingestellten Basis-Interpolationsrate. Mit Hilfe diesen Wertes kann auf die Geschwindigkeit des Messsystems geschlossen werden. $f_{Input} = DPHI/(96 \cdot IRATE) \cdot f_{osz}$
15:0	PHI	-	unsigned	0x0000 IRATE-1	Der Phasenwinkel von Sinus- und Cosinussignal ist 0° . Der Phasenwinkel von Sinus- und Cosinussignal ist 360° - ε . Der Maximalwert ist abhängig von der eingestellten Interpolationrate. Mit dem Bit $CFG3/PHIOUTZ$ kann der Bezugswert (0°) verschoben werden.

IP2 Interpolationsregister 2 – Winkelwert / Reglerwert

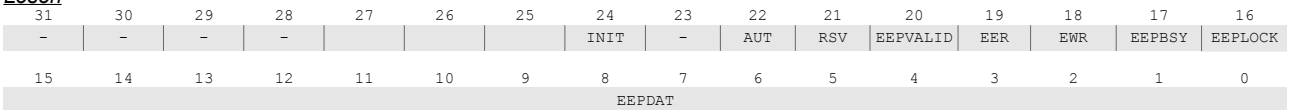
Im Einmessmodus (CFG1/MODE = 111) wird in den Bits 31:16 des Register IP2 per Trigger oder SPI-Kommando TRGCAL ein Quadrantenzählwert gespeichert.



Bit	Name	Reset-Wert	Format	Wert	Bedeutung
31:16	BQ	-	unsigned	BQ	Der Wertes BQ enthält die Abweichung des Verstärkungs- und Offsetreglers vom Sollwert. Sind Offset und Verstärkung vollständig abgeglichen, enthält dieses Register einen Wert von 321.
15:0	PHI	-	unsigned	0x0000 IRATE-1	Der Phasenwinkel von Sinus- und Cosinussignal ist 0° Der Phasenwinkel von Sinus- und Cosinussignal ist 360° - ε Der Maximalwert ist abhängig von der eingestellten Interpolationsrate.

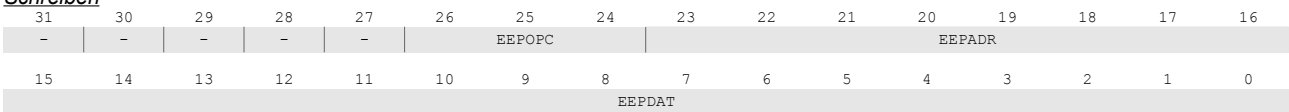
EEP EEPROM-Interface

Lesen



Bit	Name	Reset-Wert	Format	Wert	Bedeutung
24	INIT		Bit	1	Dieses Bit ist reserviert zu Testzwecken.
22	AUT	0	Bit		Dieses Bit ist reserviert zu Testzwecken.
21	RSV	0	Bit		Dieses Bit ist reserviert zu Testzwecken.
20	EEPVALID	0/1	Bit	0 1	Gültigkeitskennung 0x134A an Adresse 0x00 nicht gefunden. Gültigkeitskennung 0x134A an Adresse 0x00 gefunden. EEPROM-Inhalt wurde nach Reset in die zugehörigen Register geladen.
19	EER	0	Bit	0 1	Kein EEPROM-Löschbefehl aktiv EEPROM-Löschbefehl aktiv
18	EWR	0	Bit	0 1	Kein EEPROM-Schreibzugriff Zugriff aktiv EEPROM-Schreibzugriff Zugriff aktiv
17	EEPBSY	0	Bit	0 1	Kein EEPROM-Zugriff aktiv EEPROM-Zugriff aktiv; Es darf kein weiterer Befehl an den EEPROM gesendet werden.
16	EEPLOCK	0	Bit	0 1	EEPROM zur Benutzung frei EEPROM gesperrt
15:0	EEPDAT	0x0000	Binär		Gelesene EEPROM-Daten

Schreiben



Bit	Name	Reset-Wert	Format	Wert	Bedeutung
26:24	EEPOPC	000	Binär	000 001 010 100 sonst	EEP-OPCode; Das Schreiben dieser Bits löst einen EEPROM-Zugriff aus. Das Register darf nicht beschrieben werden, wenn das Bit EEPBSY gesetzt ist. EEPADR und EEPDAT müssen gültig sein. NOP – Keine Aktion WRITE – 16 Bit schreiben READ – 16 Bit lesen ERASE – 16 Bit löschen sonst undefiniertes Verhalten. Der EEPROM-Inhalt kann verloren gehen → Abschnitte 8.3, Abschnitt 11.3
23:16	EEPADR	0x00	Binär		EEPROM-Adresse; Zum Löschen, Schreiben oder Lesen des EEPROM muss die Adresse vor dem Aktivieren des OP-Codes in dieses Register geschrieben werden. Das Register darf nicht beschrieben werden, wenn das Bit EEPBSY gesetzt ist.
15:0	EEPDAT	0x0000	Binär		EEPROM-Daten; Zum Programmieren des EEPROM müssen die Daten vor dem Aktivieren des OP-Codes in dieses Register geschrieben werden. Das Register darf nicht beschrieben werden, wenn das Bit EEPBSY gesetzt ist.

10 Kennwerte

Tabelle 30: Absolute Grenzwerte

Symbol	Kennwert	Min.	Typ.	Max.	Einheit
VDDA	Versorgungsspannung analog			3.60	V
VDD	Versorgungsspannung digital			3.60	V
T	Betriebstemperatur	-40		125	°C
TS	Lagertemperatur	-55		150	°C
V(AIN)	Spannung an den Analogeingängen	-0.3		VDDA+0.3	V
V(DIN)	Spannung an den Digitaleingängen	-0.3		VDD+0.3	V
ESD	ESD-Festigkeit (HBM)			2	kV

Tabelle 31: Betriebsbedingungen

Symbol	Kennwert	Min.	Typ.	Max.	Einheit
VDDA	Versorgungsspannung analog	3.15	3.30	3.45	V
VDD	Versorgungsspannung digital	3.15	3.30	3.45	V
I(VDDA)	Stromaufnahme analog		10		mA
I(VDD)	Stromaufnahme digital f_{OSZ} (intern)		14		mA
I(VDD)	Stromaufnahme digital f_{OSZ} (extern)		$0.29 \cdot f_{OSZ} + 5,1$		mA
T	Betriebstemperatur	-40		125	°C

Tabelle 32: Kennwerte Takt / Reset

Symbol	Kennwert	Min.	Typ.	Max.	Einheit
f_{OSZ} (intern)	Interner Takt: Frequenz		40		MHz
f_{OSZ} (extern)	Externer Takt : Frequenz			40	MHz
TH/TL	Externer Takt : Tastverhältnis	40	50	60	%
t_{INIT}	Initialisierungszeit Zeit zwischen $NRES$ steigend und Ready ($MISO$, $NERR$)		40	50	ms

Tabelle 33: Kennwerte Interpolation

Symbol	Kennwert	Min.	Typ.	Max.	Einheit
f_P	Eingangsfrequenz	0		220	kHz
IRATE	Interpolationsrate	4		4096	Inkmente
CTRL(A)	Regelbereich Amplitudenregelung	60		120	%VINNOM ²⁾
CTRL(O)	Regelbereich Offsetregelung	-15		15	%VINNOM ²⁾
VTH(INP)	Schwellwert Vektorüberwachung		30		%VINNOM ²⁾
EABS	Absoluter Winkelfehler ¹⁾		± 0.75	1.0	Inkmente
EDIFF	Differentieller Winkelfehler ¹⁾		± 0.50		Inkmente
t_{pp}	Mindestflankenabstand A/B	$1/f_{OSZ}$		$128/f_{OSZ}$	ns
t_p (TRG)	Impulsbreite Triggersignal	$3/f_{OSZ}$			ns
t_p (Teach)	Impulsbreite Zero/Teach-Signal	$40000/f_{OSZ}$			ns
t_d (CNT)	Verzögerung Analogeingang zu CNT bzw. POSIT (@DISLP=1)		$90/f_{OSZ} + 100$		ns
t_d (ABZ)	Verzögerungszeit Analogeingang zu A/B (@DISLP=1)		$122/f_{OSZ} + 100$		ns

¹⁾ Bei abgeglicher Phase zwischen Sinus und Cosinus²⁾ Nominalwert der Differenzspannung von SINP-SINN bzw. COSP-COSN

Tabelle 34: Kennwerte digital

Symbol	Kennwert	Min.	Typ.	Max.	Einheit
VOH	Ausgangsspannung H	80			%VDDIO
VOL	Ausgangsspannung L			0.4	V
VIH	Eingangsspannung H	70			%VDDIO
VIL	Eingangsspannung L			30	%VDDIO
I(DIG1)	Ausgangsstrom digital			6	mA
I(DIG2)	Ausgangsstrom digital an MISO und NERR			12	mA
R(PU)	Interne Pull-Up Widerstände	90		210	KΩ
R(PD)	Interne Pull-Down Widerstände	75		250	KΩ

Tabelle 35: Kennwerte analog

Symbol	Kennwert	Min.	Typ.	Max.	Einheit
Z(AIN)	Eingangsimpedanz		1GΩ 8pF		
Gain	Verstärkung (lt. Tabelle 8) @1kHz	97	100	103	%
fg	Grenzfrequenz (lt. Tabelle 9) @CFG2/DISLP = 0	90	100	110	%
fg _{bypass}	Grenzfrequenz @CFG2/DISLP = 1	400			kHz
fg _{MATCH}	Abweichung der Grenzfrequenzen zwischen den Kanälen	-1	0	+1	%
V(AIN)	Spannung an den Analogeingängen	0.65		VDDA-0.45	V
CMIR	Gleichtakteingangsspannung → Abbildung 6		2.5		V
CMRR	Gleichtaktunterdrückung (@ f < 1kHz, CFG1/GAIN = 11)	65			dB
V(V0)	Spannung am Pin V1P1 / DC-Spannung an SMON/CMON	1.08	1.1	1.12	V
VMON	AC-Spannung an SMON/CMON @ Nominalamplitude		1.27		V _{pp}
I(V0)	Ausgangsstrom am Pin V1P1			1	mA
CL(V0)	Kapazitive Last am Pin V1P1			300	pF
VTH(REF)	Schaltsschwelle Referenzpunktkomparator ²⁾	-1		1	mV
VH(REF)	Hysterese Referenzpunktkomparator ²⁾		15		%VINNOM ¹⁾
I(OUTX)	Ausgangsstrom am Pin SMON/CMON			0.05	mA
CL(OUTX)	Kapazitive Last am Pin SMON/CMON			50	pF
φK1	Einstellbereich Phasenkorrektur (@ CFG2/PHBER = 0)	± 4.5	± 5	± 5.5	°
φK2	Einstellbereich Phasenkorrektur (@ CFG2/PHBER = 1)	± 9	± 10	± 11	°

¹⁾ Nominalwert der Differenzspannung von SINP-SINN bzw. COSP-COSN

²⁾ Differenzspannung von REFP-REFN

Tabelle 36: Kennwerte EEPROM

Symbol	Kennwert	Min.	Typ.	Max.	Einheit
t _{READEEP}	Lesezeit	20		85	us
t _{PROGEEP}	Programmierzeit / Löschezit	4		9	ms
t _{RETENTIONEEP}	Datenerhalt @ T < 85°	10			Jahre
N _{ProgEEP}	Programmierzyklen @ T = 25° @ T = 125°	10 ⁴ 10 ³			

Tabelle 37: Kennwerte SSI

Symbol	Kennwert	Min.	Typ.	Max.	Einheit
f _{MA}	Taktfrequenz @ f _{OSZ} ≥ 4MHz @ f _{OSZ} ≥ 8MHz @ f _{OSZ} ≥ 10MHz @ f _{OSZ} ≥ 20MHz			2 3 4 5	MHz
t _D (MISO)	Verzögerungszeit MA steigend bis SLO			25	ns
t _{TIMEOUT}	Timeout → CFGSSI/SSITO	1		20	µs

11 Applikationshinweise

11.1 Beschaltung

Da der AM-IP4k zwei schnelle AD-Wandler enthält, sind die gleichen Designrichtlinien wie beim Einsatz von AD- Wandlern anzuwenden. Zu beachten ist, dass für Standardsensoren auch die Qualität der Sensorstromversorgung Einfluss auf die Messgenauigkeit hat. Ggf. sind zusätzliche LC-Kombinationen zur Sensorstromversorgung sowie für VDDA vorzusehen. Versorgungsspannungen und ADC-Referenzspannungen werden anhand Tabelle 38, unbenutzte Ein- / Ausgänge anhand Tabelle 39 beschaltet.

Tabelle 38: IC-Beschaltung Spannungen

Pin	Beschaltung
VSSA	Massefläche analog
VSS, VSSIO, Exposed Pad	Massefläche digital
VDDA	Spannungsversorgung analog 3.3 V Blockkondensator 100 nF 10uF gegen VSSA
VDD, VDDIO	Spannungsversorgung digital 3.3 V Blockkondensator 100 nF 10uF gegen VSS/VSSIO
VRL, VRM, VRH, V1P1	Blockkondensator 10 nF 2.2uF gegen VSSA

Tabelle 39: IC-Beschaltung unbenutzter Ein- / Ausgänge

Pin	Beschaltung, wenn unbenutzt
NRES	Pull-Up 10k gegen VDDIO
CLK_CKSEL	VSS
SINN, COSN, REFN	V1P1
REFP	VDDA
TEACH	VDDIO
ZERO	VDDIO
MISO/SLO	Pull-Up 10k gegen VDDIO
MOSI/SLI	VSSIO
SCK/MA	VSSIO
SEN	VDDIO
NERR	Pull-Up 10k gegen VDDIO
TM/TM2	VSS

Weiterhin:

- Alle Block-Kondensatoren sind padnah vorzusehen.
- Es sind getrennte Masseflächen für VSSA und VSS/VSSIO vorzusehen.
- Bei Verwendung der SPI mit hohen Datenraten sind Serienwiderstände von je 22...33 Ω an MOSI, MISO, SCK und SEN vorteilhaft.
- Die digitalen Ausgänge A, B und Z sind für einen Ausgangsstrom von max. 12 mA ausgelegt. Zur Realisierung einer differentiellen RS422-Schnittstelle ist ein externer Treiber IC erforderlich. Diese Ausgänge können im Fehlerfall auf Tristate-Verhalten konfiguriert werden. Je nach Anwendung und Konfiguration werden Pull-Up Widerstände benötigt.
- Für zusätzliche Abschlusswiderstände zwischen SINP und SINN bzw. zwischen COSP und COSN gelten die Applikationshinweise des jeweiligen Sensorherstellers.
- Single-ended Sensoren werden üblicherweise an den Eingängen SINP und COSP angeschlossen. Dazu müssen die DC-Bezugspegel des IC und des Sensors übereinstimmen.
- Als DC-Bezugspegel ist es möglich, das Signal V1P1 zu verwenden. Die Strombelastbarkeit an diesem Pin beträgt 1 mA. Es ist auf kurze und kapazitätsarme Leitungsführung zu achten. Eventuell kann man einen Buffer-OPV vorsehen.
- Zum zuverlässigen Betrieb müssen alle IC-Eingänge definiert beschaltet werden. Interne Pull-Up Widerstände verhindern lediglich unvorhersehbares Verhalten des IC bei offenen Eingängen.

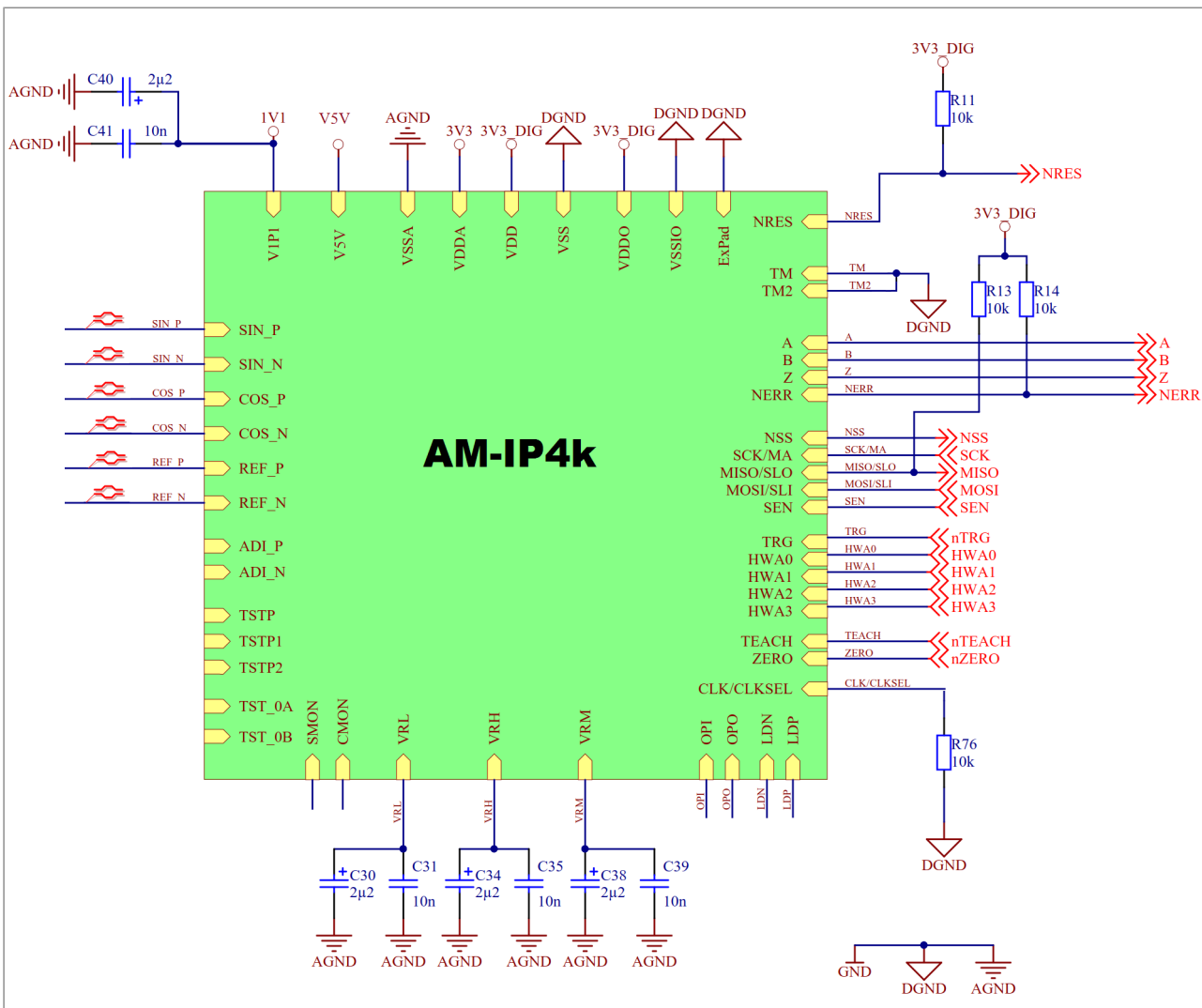


Abbildung 21: AM-IP4k Minimalbeschaltung

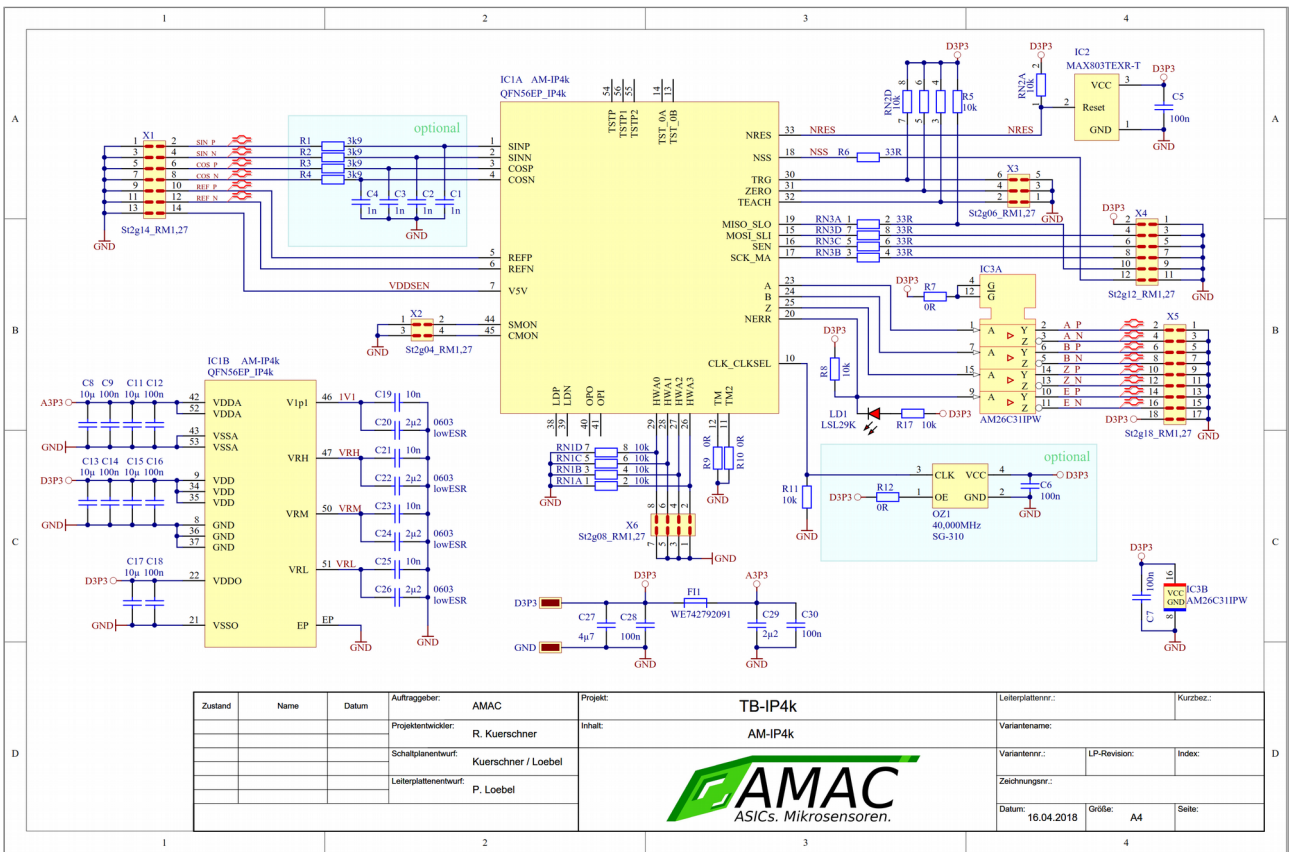


Abbildung 22: AM-IP4k Schaltungsempfehlung

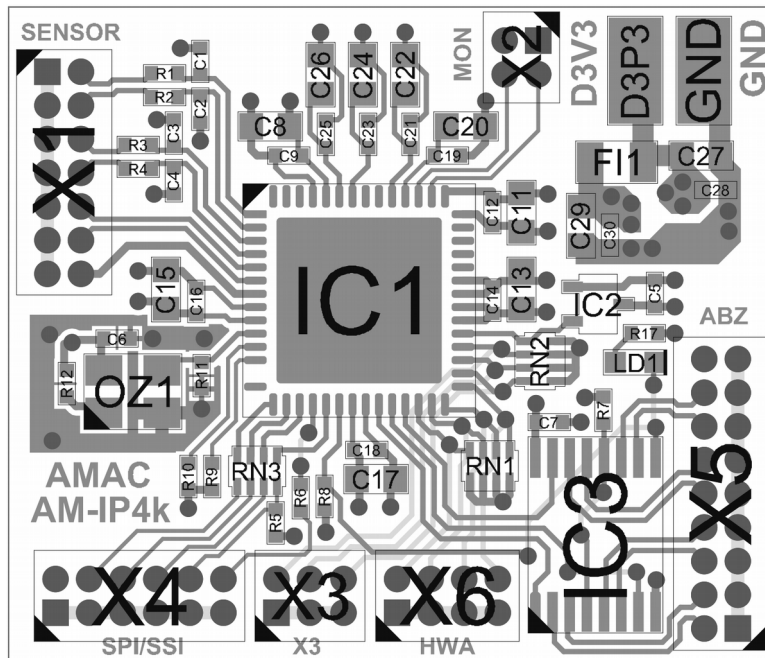


Abbildung 23: AM-IP4k Layoutempfehlung

11.2 Anschluss verschiedener Sensortypen

Das Design der analogen Eingangsschaltung richtet sich nach der Art des angeschlossenen Sensors. Folgende Abbildungen zeigen beispielhaft den Anschluss verschiedener Sensortypen:

Sensor mit differentiellen Ausgangssignalen

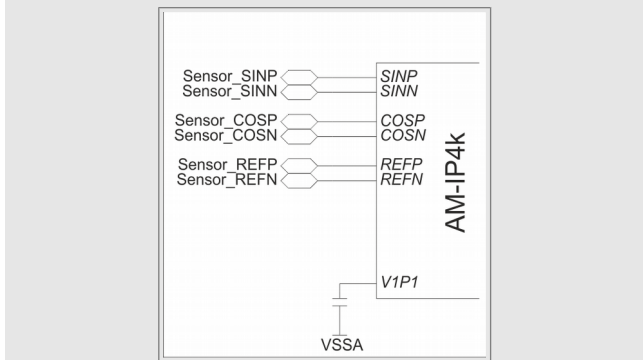


Abbildung 24: Sensor mit differentiellen Ausgangssignalen

- Die Amplitude des Sensors und die Nominalamplitude des AM-IP4k werden mit den Konfigurationsbits GAIN(1:0) aufeinander abgestimmt.
- Der Bezugspegel V1P1 wird **intern** gebildet.

Sensor mit einer Nominalamplitude > 1V_{pp}

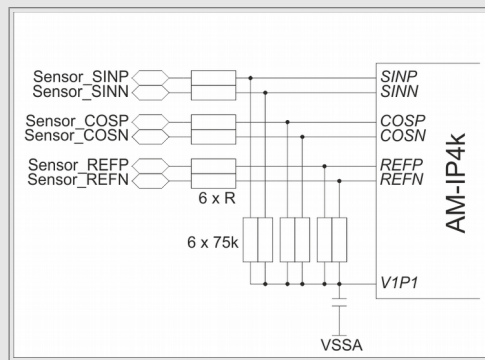


Abbildung 25: Sensor mit einer Nominalamplitude > 1V_{pp}

- Die Nominalamplitude des AM-IP4k wird mit den Konfigurationsbits GAIN(1:0) auf 500mV_{pp} eingestellt.
- Der Bezugspegel V1P1 wird **intern** gebildet.
- Widerstände zwischen den Eingangssignalen und V1P1 dienen als Spannungsteiler. Der Widerstand R wird folgendermaßen dimensioniert: $R = (V_{\text{Sensor}} / 500\text{mV} - 1) \times 75 \text{ k}\Omega$
- Sowohl Sensoramplitude als auch die Mittenspannung des Sensors werden im Verhältnis $(75\text{k}\Omega + R) / 75\text{k}\Omega$ geteilt

Sensor mit single-ended Ausgangssignalen (I)

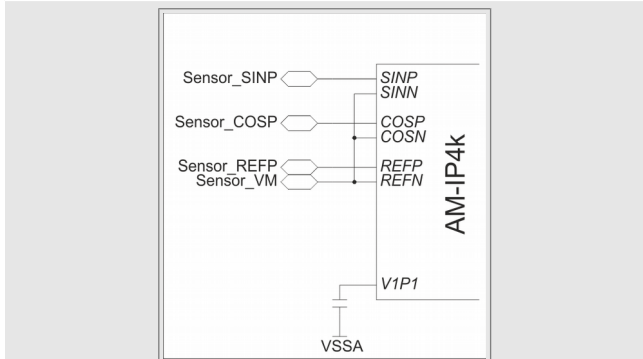


Abbildung 26: Sensor mit single-ended Ausgangssignalen (I)

- Die Amplitude des Sensors und die Nominalamplitude des AM-IP4k werden mit den Konfigurationsbits GAIN(1:0) aufeinander abgestimmt.
- Der Bezugspegel V1P1 wird **vom Sensor** bereitgestellt.

Sensor mit single-ended Ausgangssignalen (II)

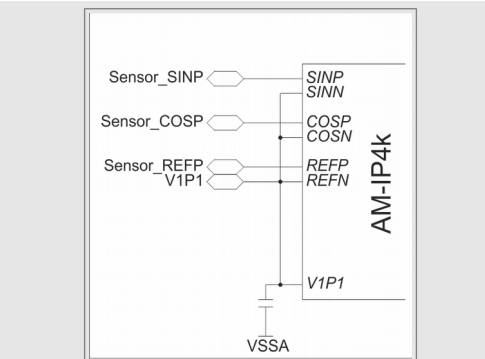


Abbildung 27: Sensor mit single-ended Ausgangssignalen (II)

- Die Amplitude des Sensors und die Nominalamplitude des AM-IP4k werden mit den Konfigurationsbits GAIN(1:0) aufeinander abgestimmt.
- Der Bezugspegel V1P1 wird **intern** gebildet und an den Sensor geführt.

**Sensor mit antiparallelen Photodioden
Abgleichsmöglichkeit für Amplitudengleichheit**

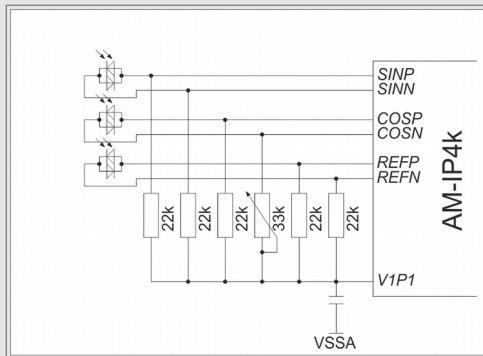


Abbildung 28: Sensor mit antiparallelen Photodioden

- Die Nominalamplitude des AM-IP4k wird mit den Konfigurationsbits $GAIN(1:0)$ auf 500mVpp eingestellt.
- Der Bezugspegel $V1P1$ wird **intern** gebildet.
- Durch Veränderung der Amplitude des Cosinussignals wird Amplitudengleichheit eingestellt. Zum Abgleich werden die Testsignale $SMON$ und $CMON$ benutzt.
- Widerstände zwischen den Eingangssignalen und $V1P1$ dienen als I/U-Wandler. Der Widerstand R wird folgendermaßen dimensioniert: $R_{FIX} = 500mV / (2 \cdot I_{SENSOR})$ und $P_{AMPL} \approx 1.5 \cdot R_{FIX}$
→ Im Beispiel: $I_{SENSOR} = 11 \mu A_{pp}$

**Photodiodenarray mit gemeinsamer Kathode oder Anode
Abgleichsmöglichkeit für Amplitudengleichheit und Offset**

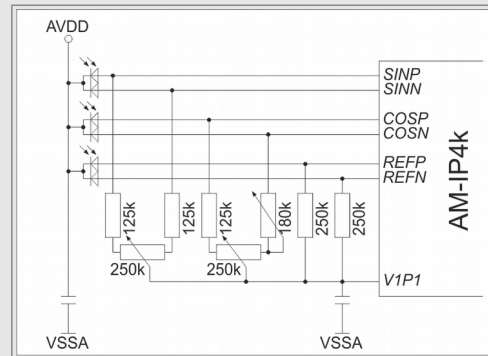


Abbildung 29: Photodiodenarray mit gemeinsamer Kathode oder Anode

- Die Nominalamplitude des AM-IP4k wird mit den Konfigurationsbits $GAIN(1:0)$ auf 250mVpp eingestellt.
- Der Bezugspegel $V1P1$ wird **intern** gebildet.
- Durch Veränderung der Amplitude des Cosinussignals wird Amplitudengleichheit eingestellt. Im Anschluss daran kann der Offset für beide Signale abgeglichen werden. Zum Abgleich werden die Testsignale $SMON$ und $CMON$ benutzt.
- Widerstände zwischen den Eingangssignalen und $V1P1$ dienen als I/U-Wandler. Der Widerstand R wird folgendermaßen dimensioniert: $R = 250mV / (2 \cdot I_{SENSOR})$. Dieser Widerstand wird teilweise als Potentiometer zum Offsetabgleich ausgeführt:
 $P_{OFFS} \approx R$; $R_{FIX} \approx \frac{1}{2} R$; $P_{AMPL} \approx 1.5 \cdot R_{FIX}$
→ Im Beispiel: $I_{SENSOR} = 0.5 \mu A_{pp}$

Sensor für Stromsignale 11 μA_{pp}

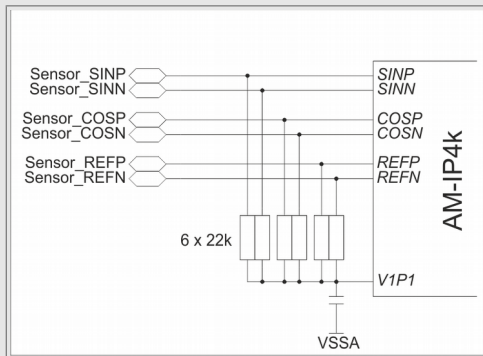


Abbildung 30: Sensor für Stromsignale 11 μA_{pp}

- Die Nominalamplitude des AM-IP4k wird mit den Konfigurationsbits $GAIN(1:0)$ auf 500mVpp eingestellt.
- Der Bezugspegel $V1P1$ wird **intern** gebildet.
- Widerstände zwischen den Eingangssignalen und $V1P1$ dienen als I/U-Wandler. Der Widerstand R wird folgendermaßen dimensioniert: $R = 500mV / (2 \cdot I_{SENSOR})$
→ Im Beispiel: $I_{SENSOR} = 11 \mu A_{pp}$

11.3 EEPROM

Der Zugriff auf den internen EEPROM erfolgt über eine interne Schnittstelle, welche mit Zugriffen auf das Register `EEP` gesteuert wird:

- Vor jedem Schreibzugriff muss das Bit `EEPBSY` gelöscht sein
- Schreibzugriffe auf `EEPOPC` (Byte 3) lösen eine EEPROM-Aktion aus. `EEPADR` und ggf. `EEPDAT` müssen dazu gültige Werte besitzen.
- Ungültige OP-Codes dürfen nicht verwendet werden.

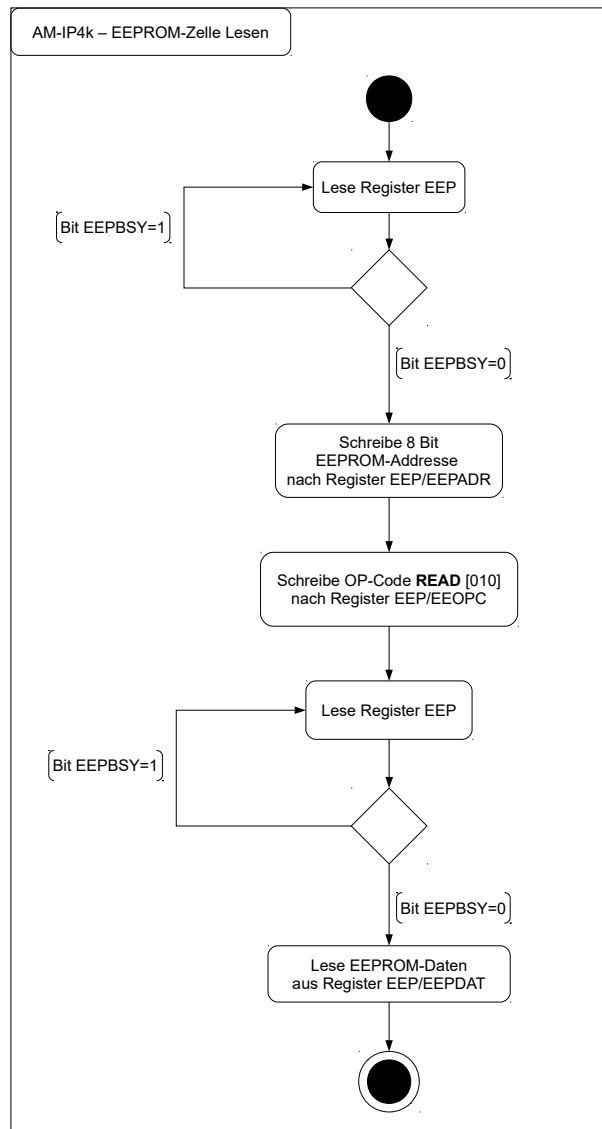


Abbildung 31: Programmablauf EEPROM lesen

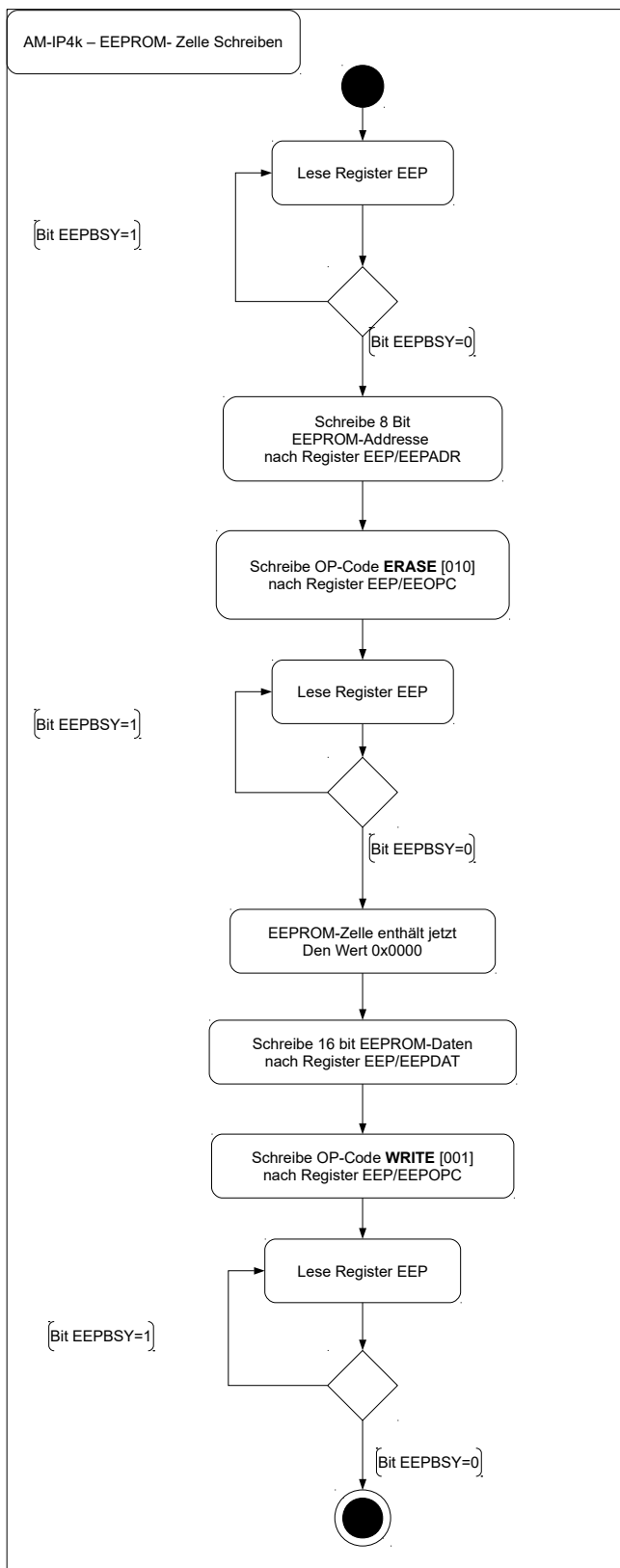


Abbildung 32: Programmablauf EEPROM schreiben

